

## **DESENVOLVIMENTO EM HARDWARE DE ARQUITETURAS OTIMIZADAS PARA AS TRANSFORMADAS DISCRETAS DOS COSENOS SEGUNDO O PADRÃO HEVC DE CODIFICAÇÃO DE VÍDEO**

José Cláudio de Souza Júnior<sup>1</sup>; Ruhan Ávila da Conceição<sup>1</sup>; Bruno Zatt<sup>1</sup>, Marcelo Porto<sup>1</sup>, Luciano Volcan Agostini<sup>1</sup>

<sup>1</sup>Universidade Federal de Pelotas – {jcdsouza, radconceicao, zatt, porto, agostini}@inf.ufpel.edu.br

### 1. INTRODUÇÃO

Hoje em dia, o número de dispositivos capazes de manipular vídeos digitais vem crescendo rapidamente. Entre estes, podemos destacar câmeras digitais, smartphones, tablets, etc., popularizando o uso deste tipo de vídeo. Além disso, vídeos digitais não estão restritos exclusivamente a entretenimento. Sistemas de segurança e médicos são outros exemplos de aplicações para vídeos digitais nos dias atuais. Entretanto, há alguns desafios associados à manipulação destes vídeos. Um destes é a quantidade de informação necessária para representar os mesmos. Por exemplo, um vídeo em FullHD (1920 x 1080 pixels), com duração de duas horas, com trinta quadros por segundo; necessitaria de aproximadamente 1,2 terabytes para sua representação. Por outro lado, um vídeo com as mesmas características, codificado com o padrão HEVC – *High Efficiency Video Coding* (ITU-T, 2013), necessitaria apenas de cerca de 4 gigabytes para sua representação. Assim, podemos ver a relevância do processo de codificação do vídeo.

Um codificador de vídeo é composto por uma sequência de passos, onde cada um dos mesmos é responsável por uma etapa do processo de codificação. Dentre estes, as transformadas ocupam uma posição proeminente. Basicamente, neste módulo os coeficientes são transformados do domínio do espaço para o domínio das frequências. Desta forma a energia do bloco estará concentrada em poucos coeficientes e sendo assim, os próximos módulos, quantização e codificação de entropia podem ser aplicados mais eficientemente.

Dentre os algoritmos de transformação, o HEVC estipula a Transformada Discreta dos Cossenos (*Discrete Cosine Transform* – DCT). Uma das inovações propostas pelo HEVC é o uso de tamanhos maiores de transformadas, como 32x32 e 16x16, no processo de codificação. O uso destes tamanhos aumenta as taxas de compressão obtidas pelo codificador, entretanto a complexidade do codificador também aumenta.

Tendo em vista a alta complexidade empregada no processo de codificação de vídeos, faz-se necessário o desenvolvimento de arquiteturas dedicadas para executar o processo de codificação. Isto deve-se ao fato de que microcomputadores pessoais utilizam abordagens de propósito geral e que geralmente não estão aptos a codificar um vídeo em tempo real; ou seja, codificar trinta quadros por segundo. Isso fica ainda mais claro quando consideramos dispositivos móveis que apresentam reduzida capacidade de processamento.

Este trabalho tem por objetivo apresentar o desenvolvimento de arquiteturas otimizadas para o cálculo das DCTs de todos os tamanhos definidos no HEVC (4x4, 8x8, 16x16 e 32x32). Todas as arquiteturas foram desenvolvidas separadamente e visam integrar uma arquitetura de codificação de vídeo seguindo o padrão HEVC.

## 2. METODOLOGIA

A fim de desenvolver arquiteturas para o padrão de codificação HEVC foi necessário avaliar o software de referência do padrão, para isto utilizamos o HEVC Model (HM) (JCT-VC, 2012), e o *Draft9* do HEVC (JCT-VC, 2013). Desta forma, obtiveram-se os algoritmos utilizados para o desenvolvimento do trabalho. A partir das avaliações realizadas, foram desenvolvidos softwares específicos para cada tamanho de DCT estipulada pelo padrão. Desta forma, pode-se avaliar de forma isolada os desafios associados ao desenvolvimento do hardware para cada tamanho de DCT.

Tendo em vista o grande número de multiplicadores com constantes fixas, aplicou-se a técnica de substituição de multiplicadores por somas e deslocamento. Multiplicadores completos (sem nenhuma forma de otimização), são extremamente custosos em hardware devido ao elevado número de portas lógicas necessárias para implementá-los (CARRO, 2001). Através desta substituição, observou-se uma quantidade relevante de operações compartilhadas entre as equações de todas as DCTs, assim a técnica de compartilhamento de subexpressões foi efetuada a fim de economizar recursos de hardware (CONCEIÇÃO, 2012).

A partir dos softwares otimizados, foram desenvolvidas arquiteturas descritas em VHDL e sintetizadas em um dispositivo FPGA Altera Stratix V 5SGXMABN3F45I4 utilizando o software Altera Quartus II 12.1.

Os softwares e as arquiteturas foram validados comparando os resultados gerados pelos mesmos a partir de amostras extraídas de um processo real de codificação de vídeo utilizando o HEVC Model, para isto o software de referência foi modificado a fim de gravar em arquivos de texto as amostras de entrada e saída do processo das DCTs.

## 3. RESULTADOS E DISCUSSÃO

Alguns trabalhos relacionados foram encontrados na literatura. Entretanto, devido ao fato das implementações terem sido feitas em tecnologias diferentes, uma comparação justa com os demais trabalhos torna-se difícil. Dentre os trabalhos relacionados, podemos destacar (CHENG, 2011), (AHMED, 2011), (EDIRYSUIA, 2012) e (JESKE, 2012). Cheng propôs uma arquitetura para o cálculo da DCT 2-D de tamanho 8x8. Ahmed propôs uma arquitetura sem o uso de multiplicadores para o cálculo da transformada discreta dos cossenos de dezesseis amostras. Edirysyuia apresenta em seu trabalho uma arquitetura capaz de processar tanto a DCT quanto DCT 2-D de tamanho 16x16 sem o uso de multiplicadores.

Assim como mencionado anteriormente, neste trabalho são apresentadas arquiteturas para o cálculo de todas as DCT 2-D estipuladas pelo HEVC sem o uso de multiplicadores e com compartilhamento de subexpressões. A Tabela 1 apresenta resultados de síntese das arquiteturas desenvolvidas, como o número de Módulos de Lógica Adaptativa (*Adaptative Logic Module* - ALM), número de registradores e frequência atingida pelas arquiteturas.

Tendo em vista as frequências obtidas pelas arquiteturas implementadas, a Tabela 2 apresenta resultados de desempenho atingidos pelo trabalho para resoluções Full HD (1920x1080) e QFHD (3840x2160). Afim de obter a quantidade de amostras necessárias para processar vídeos em tempo real consideramos o espaço de cores YCbCr utilizando subamostragem 4:2:0 (RICHARDSON, 2003), onde para cada 4 amostras de luminância (Y), há uma de

crominância azul (Cb) e uma de crominância vermelha (Cr). Assim, para 1920 x 1080 pixels, é necessário que a arquitetura processe 2073600 (1920 x 1080) amostras de luminância mais 1036800 (1920x1080/4 + 1920x1080/4) amostras de crominância, totalizando 3110400 amostras por quadro. A partir destes cálculos e considerando 30 quadros por segundo obtemos o número de amostras que a arquitetura processa por segundo.

Tamanho da DCT	ALMs	Registradores	Frequência
4x4	471	283	108,25 MHz
8x8	1622	1130	78,97 MHz
16x16	5256	4437	69,80 MHz
32x32	17438	17867	58,98 MHz

Tabela 1. Resultados de síntese para cada arquitetura

Analisando a tabela 1 podemos perceber que os blocos maiores necessitam de mais recursos de hardware, desta forma vemos o aumento da quantidade de ALMs e Registradores a medida que o tamanho de bloco aumenta, por outro lado a frequência de operação diminui, estes comportamentos ocorrem pois o paralelismo explorado é proporcional ao tamanho de bloco.

Com a abordagem seguida no projeto, a taxa de processamento (vazão de dados) das arquiteturas também é proporcional ao tamanho de bloco e desta forma os maiores tamanhos apresentam melhores taxas de processamento.

Tamanho	Amostras/ ciclo	Amostras/ segundo (10 <sup>6</sup> )	Quadros/s (Full HD)	Quadros/s (QFHD)
4x4	4	433,00	139	34
8x8	8	631,760	203	50
16x16	16	1116,80	359	89
32x32	32	1887,36	606	151

Tabela 2. Taxa de processamento para cada arquitetura.

#### 4. CONCLUSÕES

Este trabalho apresentou o desenvolvimento de arquiteturas otimizadas de hardware dedicado para processamento das transformadas discretas dos cossenos especificadas pelo padrão de codificação de vídeo HEVC.

As diferentes arquiteturas foram desenvolvidas para todos os tamanhos de blocos presentes no padrão HEVC (4x4, 8x8, 16x16 e 32x32) sem utilizar multiplicadores e utilizando compartilhamento de subexpressões (CONCEIÇÃO, 2012).

As taxas de processamento atingidas pelas arquiteturas demonstraram que é possível processar quantidade de amostras superior à demanda para QFHD com taxa de atualização de quadros de 30 FPS. Desta forma as arquiteturas aqui apresentadas podem ser integradas em um codificador de vídeo que segue as especificações do padrão de codificação de vídeo HEVC.

## 5. REFERÊNCIAS BIBLIOGRÁFICAS

CONCEIÇÃO, R. Á; JESKE, R; MATTOS, J; AGOSTINI, L. Software para Otimização do hardware da Transformada Discreta do Cosseno 1-D de tamanho 32 do padrão emergente em codificação de vídeos HEVC. **Congresso de Iniciação Científica (CIC)**, Pelotas, RS, 2012.

AGOSTINI, Luciano. **Desenvolvimento de Arquiteturas de Alto Desempenho Dedicadas a Compressão de Vídeo Segundo o Padrão H.264/AVC. 2007**. Data de publicação. Tese (Doutorado em Ciência da Computação) – Instituto de Informática, UFRGS, Porto Alegre, RS, 2007.

EDIRISURIYA, A. A Multiplication-free Digital Architecture for 16x16 2-D DCT/DST Transform for HEVC. **Electrical & Electronics Engineers in Israel (IEEEI)**, Israel, 2012.

JESKE, R. Low cost and high throughput multiplierless design of a 16 point 1-D DCT of the new HEVC video coding standard. **Programmable Logic (SPL)**, Bento Gonçalves, RS, 2012.

CARRO, L. **Projeto e Prototipação de Sistemas Digitais**. Porto Alegre: UFRGS, 2001.

RICHARDSON, I. **H.264 and MPEG-4 Video Compression: Video Coding for Next-Generation Multimedia**. Chichester: John Wiley and Sons, 2003.

CHENG, W. A novel 8x8 transform method applied in videocoding. **IET International Communication Conference on Wireless Mobile and Computing (CCWMC)**, Shanghai, 2011

AHMED, A. VLSI Implementation of 16-point DCT for H.265/HEVC using Walsh Hadamard Transform and Lifting Scheme. **IEEE 14th International Multitopic Conference (INMIC)**, Karachi, 2011

International Telecommunication Union (ITU). **ITU-T Recommendation H.265: High Efficiency Video Coding, Audiovisual and Multimedia Systems**, April 2013. Online. Disponível em: <http://www.itu.int/rec/T-REC-H.265-201304-I>

JOINT COLLABORATIVE TEAM ON VIDEO CODING (JCT-VC) of ITU-T SG16 WP3 and ISO/IEC JTC1/SC29/WG11 – HM9: High Efficiency Video Coding (HEVC) Test Model 9 Encoder Description. 11th Meeting: Shanghai, CN, 10–19 Outubro 2012.

JOINT COLLABORATIVE TEAM ON VIDEO CODING (JCT-VC) of ITU-T SG16 WP3 and ISO/IEC JTC1/SC29/WG11 Proposed editorial improvements for High Efficiency Video Coding (HEVC) text specification draft 9 (SoDIS). 12th Meeting: Geneva, CN, 14–23 Janeiro 2013.