

AVALIAÇÃO NO DESEMPENHO DE APLICAÇÕES DSP EM PROCESSADORES COMERCIAIS E ARQUITETURA RECONFIGURÁVEL

LUIS J. MARTINS¹, EDUARDO V. NICOLA², JULIO RUZICKI³,
JÚLIO C. B. MATTOS

¹Universidade Federal de Pelotas, Curso de Engenharia de Computação

²Universidade Federal de Pelotas, Curso de Ciência da Computação

³Universidade Federal de Pelotas, Programa de Pós-Graduação em Computação

⁴Universidade Federal de Pelotas, Centro de Desenvolvimento Tecnológico
{lhjmartins, evnicola, jcmruzicki, julius}@inf.ufpel.edu.br

1 INTRODUÇÃO

Sistemas embarcados são sistemas computacionais dedicados a tarefas específicas utilizados em sistemas ainda mais complexos (MARWEDEL, 2006). Por serem circuitos inseridos nos produtos, são muitas vezes desconhecidos pela população. Estes sistemas estão presentes em nosso cotidiano, desde eletrodomésticos e multimídia até biomedicina e instrumentação industrial. Com o passar do tempo, mais produtos estão passando pelo que podemos chamar de “digitalização”, fenômeno no qual objetos passam a possuir sistemas computacionais. Estes produtos ganham interatividade, flexibilidade, inteligência, etc. Como exemplos citamos a televisão, celular, equipamentos médicos, dentre outros.

A maioria dos dispositivos embarcados comerciais possuem restrições quanto ao desempenho, consumo de energia e outras, pois necessitam respostas suficientes a aplicações dos usuários. Processadores embarcados são fabricados com o objetivo de aumentar o desempenho de aplicações específicas, pois os sistemas embarcados são cada vez mais executam aplicações heterogêneas complexas. É necessária uma arquitetura adaptável (Rana, 2007) as aplicações para fornecer a melhor relação de desempenho e consumo energético.

Este trabalho propõe o uso de um SR (Sistema Reconfigurável) (BECK, 2008) em aplicações DSP. Esta arquitetura tem como objetivo aumentar o desempenho dos processadores frente aos distintos aplicativos que se encontram atualmente nos dispositivos embarcados, através do uso de uma unidade de execução acoplada à um processador que se adapta à aplicação, a fim de aumentar o paralelismo e, portanto, aumentar o desempenho. Esta técnica evita o aumento da frequência de operação dos processadores, economizando energia, problema comum aos sistemas embarcados.

Como estudo de caso, foram executados algoritmos classificados de processamento digital de sinais (DSP). A técnica DSP realiza um tratamento matemático complexo através de um processador que precisa realizar milhões de operações matemáticas por segundo para ter sucesso em tais aplicações. Os processadores de uso geral, os GPPs (*General Purpose Processors*), não possuem uma arquitetura especializada para tal fim, portanto, processadores especializados foram desenvolvidos para este fim (processadores DSP) possuem suas arquiteturas otimizadas para execução desse tipo de aplicação.

Dentro desses processadores, existem unidades funcionais capazes de acelerar a execução de cálculos necessários para o processamento digital de sinais (LAPSLEY, 1997), tais como: unidades de ponto flutuante, instruções MACs (*Multiply and Accumulate*), memórias circulares, FFT (*Fast Fourier Transform*), FIR (*Finite Impulse Response*), entre outras. Com tal arquitetura tão

especializada, estes processadores ganharam o mercado e estão presentes nas mais variadas aplicações do cotidiano das pessoas, como: multimídia, telefonia celular, instrumentação, eletrodomésticos, equipamentos médicos, etc.

Além destes processadores, para realizar tais aplicações também podemos utilizar: processadores de uso geral (GPPs) ou dispositivos projetados e customizados para tal fim, os ASICs (*Application Specific Integrated Circuits*). Os GPPs possuem vantagem no custo reduzido e sua grande desvantagem está no baixo desempenho quando em aplicações DSP. Já os ASICs possuem custo unitário ainda menor que os GPPs, porém o custo do projeto é alto. Os processadores DSP apresentam o melhor custo benefício: baixo custo unitário, baixo consumo de energia e alto desempenho em aplicações DSP (LAPSLEY, 1997; DINIZ, 2010).

Embora os processadores DSP possuam eficiência satisfatória, ainda existe a necessidade da evolução destes dispositivos e a indústria não consegue mais garantir tal evolução na mesma velocidade e capacidade de processamento, previstos pela Lei de Moore. Tal limitação é dada pela dissipação de calor, que se encontra no limite, gerada pelo aumento da frequência dos processadores (FLYNN e HUNG, 2005) e inviabilizam projetos para o âmbito de Sistemas Embarcados. Portanto, para garantir a evolução são necessárias novas técnicas e metodologias.

Finalmente, este artigo possui como objetivo verificar se um SR pode acelerar aplicações do âmbito DSP sendo executadas em uma CPU convencional em comparação a processadores DSP comerciais.

2 METODOLOGIA (MATERIAL E MÉTODOS)

O trabalho possui a seguinte metodologia: seleção de aplicações características de DSP, seleção de uma ferramenta que permita o desenvolvimento, a simulação de aplicações e extração de resultados de desempenho para diferentes processadores, simulação/execução das diferentes aplicações e por fim a análise dos resultados.

Para realizar as simulações dos PDSPs (*Programmable Digital Signal Processor*), foi utilizada a ferramenta VisualDSP++ da Analog Devices (*Analog, 2013a*). A ferramenta possui inúmeros recursos, dentre eles, compilador C/C++, medida de desempenho estatística (*statistical profiling*), simulador, montador, ligador e suporte a emulação.

O SR utilizado, é um simulador que recebe como parâmetro um arquivo contendo o traço gerado pelo simulador OVPSim (*OVPsim, 2013*), utilizado para executar as aplicações selecionadas. A UR (Unidade Reconfigurável) é constituída por unidades de processamento simples, tais como, ULAs, multiplicadores e registradores, e permite configurar a quantidade de elementos presentes na arquitetura em tempo de projeto. De posse dos resultados, o projetista de sistemas embarcados pode verificar o desempenho da arquitetura proposta antes de fabricar o dispositivo, diminuindo o tempo e o custo total do projeto.

Para a seleção das aplicações com características DSP se optou por utilizar operações fundamentais no âmbito DSP. Por motivos de limitação de memória nos PDSPs, foram usados vetores de 512 posições e matrizes 16x32. Em um primeiro momento foi selecionado um conjunto de aplicações mais simples apenas para ambientação com a ferramenta e verificação se a mesma forneceria os resultados desejados. Segue a lista de aplicações: (1) multiplicação

de dois vetores reais, (2) adiciona duas matrizes bidimensionais, (3) subtrai duas matrizes bidimensionais, (4) multiplica os elementos de uma matriz por um escalar, (5) calcula a média de uma matriz, (6) calcula o valor RMS de uma matriz de dados, (7) acumula o produto de duas matrizes, (8) adiciona duas matrizes reais.

Para execução/simulação das aplicações foram selecionados dois processadores da Analog Devices, um da família Blackfin (ADSP-BF504) e outro da família SHARC (ADSP-21477). A família Blackfin (*Analog, 2013b*) de processadores foi desenvolvida para aplicações de baixo custo, mas que exigem altas taxas de processamento digital de sinais, tais como: vídeo, instrumentação industrial, biometria e controle industrial. Dentre muitas de suas características podemos ressaltar as seguintes: frequência de relógio de até 400MHz, instrução MAC de 16 bits (possibilidade de executar até 800 milhões de MACs por segundo), duas ULAs (Unidade Lógica e Aritmética) de 40 bits, quatro ULAs especializadas para vídeo de 8 bits, deslocador de 40 bits. Possui uma arquitetura RISC com um pipeline de 10 estágios.

Os processadores SHARC (*Analog, 2013c*), de 32 bits, são baseados na arquitetura super-harvard que estende os conceitos originais de barramentos separados para memória de programa e de dados, adicionando um processador de entrada e saída para seus barramentos dedicados. Além destas, podemos citar como características comuns de sua arquitetura: unidade aritmética de 32/40 bits de ponto flutuante; multiplicadores de 32 bits, de ponto fixo; ausência de pipeline aritmético, todas as computações são executadas em um ciclo; endereçamento de buffer circular suportado em hardware; 32 buffers circulares com ponteiros de 32 bits; conjunto de instruções suporta: aritmética condicional, manipulação de bits, divisão e raiz quadrada.

3 RESULTADOS E DISCUSSÃO

Os resultados foram obtidos através da simulação das aplicações selecionadas (Tabela 1) na ferramenta VisualDSP++ com os processadores das duas famílias (Blackfin e SHARC). Os algoritmos simulados foram implementados em C. Os resultados de desempenho (apresentados em ciclos) para o processador ADSP-BF504 da família Blackfin, para o ADSP-21477 da família SHARC e para o SR são apresentados na Tabela 2.

Tabela 2 – Desempenho das aplicações em diferentes processadores

Aplicação	ADSP-BF504 (ciclos)	ADSP-21477 (ciclos)	Sistema Reconfigurável (ciclos)
1	194956	104076	65831
2	192892	107600	64871
3	180617	102491	56636
4	141722	76445	61119
5	144978	80103	57891
6	213558	118021	97155
7	259383	140448	111128
8	192892	107600	64871

4 CONCLUSÃO

Este trabalho propôs a utilização de um Sistema Reconfigurável como solução para otimizar aplicações DSP. Pretende-se ampliar o conjunto de implementações para posterior uso da técnica de reconfiguração incorporada a

um processador DSP. Após a execução das aplicações apresentadas na Tabela 1 serão executadas as seguintes aplicações, já selecionadas que representam aplicações DSP de maior porte: filtro biquadrático, filtro IIR e DCT (*Discrete to Cosine Transform*).

5 REFERÊNCIAS BIBLIOGRÁFICAS

MARWEDEL, P. **Embedded Systems Design**. Dordrecht: Springer, 2006.

RANA, V.; SANTAMBROGIO, M.; SCIUTO, D. Dynamic Reconfigurability in Embedded System Design. In: **IEEE INTERNATIONAL SYMPOSIUM ON CIRCUITS AND SYSTEMS**, New Orleans, 2007, **Anais...** New Orleans, 2007. p. 2734-2737.

BECK FILHO, A.C.S.; RUTZIG, M.B.; CARRO, L. Transparent Reconfigurable Acceleration for Heterogeneous Embedded Applications. In: **Design, Automation and Test in Europe**, Munich, 2008, **Anais...** Munich, 2008. p. 1208-1213

Lapsley, P. ; Bier, J. ; Shoham, A. ; Lee, E. DSP Processors, Embodiments, and Alternatives. In: Lapsley, P. ; Bier, J. ; Shoham, A. ; Lee, E. **DSP Processor Fundamentals -Architectures and Features**. New York: IEEE Press, 1997. Cap.2, p.9-20.

DINIZ, P. S. R., da SILVA, E. A. B., NETTO, S.L. **Digital Signal Processing: System Analysis and Design**. Cambridge: Cambridge University Press, 2010.

FLYNN, M. J., HUNG, P. Microprocessor design issues: thoughts on the road ahead. **Micro, IEEE**, CA, USA, v. 25, n. 3, p.16-31, 2005.

Analog Devices. **VisualDSP++ Development Software**. Analog Devices, United States, Acessado em 22 jul, 2012. Online. Disponível em: <http://www.analog.com/en/processors-dsp/blackfin/vdsp-bf-sh-ts/products/product.html>

Analog Devices. **Blackfin ADSP-BF504: Data Sheet**. Analog Devices, United States, Acessado em 22 jul, 2012. Online. Disponível em: http://www.analog.com/static/imported-files/data_sheets/ADSPBF504_BF504_BF506.pdf

Analog Devices. **Shark ADSP-21477: Data Sheet**. Analog Devices, United States, Acessado em 22 jul, 2012. Online. Disponível em: http://www.analog.com/static/imported-files/data_sheets/ADSP21477_21478_21479.pdf

Open Virtual Platforms. **Technology OVPSim**. Open Virtual Platforms, United States, Acessado em 10 out, 2013. Online. Disponível em: http://www.ovpworld.org/technology_ovpsim