

Desenvolvimento de um Algoritmo para o Dimensionamento de Transistores de Portas Lógicas CMOS

Vitor Gonçalves de Lima¹; Leomar S. Da Rosa Júnior.¹; Felipe S. Marques¹

¹Universidade Federal de Pelotas, Centro de Desenvolvimento Tecnológico – CDTec, Grupo de Arquiteturas e Circuitos Integrados – GACI.
{vgdlima, felipem, leomarjr}@inf.ufpel.edu.br

1. INTRODUÇÃO

Atualmente, os circuitos digitais fazem parte de nossas vidas de forma efetiva. Cada vez mais, estamos rodeados de aparelhos eletrônicos nas mais diversas atividades envolvendo diferentes áreas do conhecimento. Nas últimas décadas, a microeletrônica contribuiu para o desenvolvimento de novas tecnologias e pesquisas em áreas como medicina, economia, educação, entretenimento, entre outras. Isso se deve aos grandes avanços no processo de concepção de circuitos integrados para a tecnologia CMOS (Complementary Metal-Oxide-Semiconductor). Com a crescente demanda por novos aparelhos eletrônicos, miniaturização dos componentes, diminuição do consumo energético do circuito e a necessidade de circuitos mais complexos. Foram desenvolvidas ferramentas de CAD (Computer Aided Design) que auxiliam na automatização do processo de desenvolvimento, ou em um ou mais itens citados (Possani, 2013).

A proposta deste trabalho é o desenvolvimento de um algoritmo que atuará sobre um arranjo de transistores em formato Spice, para dimensionamento de transistores de circuitos digitais. A grande maioria dos algoritmos para dimensionamento de transistores encontrados na literatura considera redes Serie/Paralelo, implementadas com transistores CMOS. Com base nestes algoritmos, pretende-se desenvolver um algoritmo para dimensionar redes de transistores Não-Complementares Serie/Paralelo (NCSP), com o objetivo de maximizar o desempenho da célula, estabelecendo uma boa relação entre tamanho e consumo energético. Dessa maneira, o método proposto visa implementar um algoritmo que atribua valores no dimensionamento dos transistores de um circuito no arquivo spice. Para analisar e obter um parâmetro comparativo dos resultados encontrados, implementou-se o algoritmo Logical Effort (Keane, 2006) e Elmore Delay (Gupta, 1997).

2. METODOLOGIA

No início do projeto, estudou-se uma ferramenta gratuita para que pudessem ser simulados os resultados da pesquisa a ser desenvolvida, sendo que a ferramenta utilizada foi a de código aberto NGSpice. Ao realizar estudos e simulações com a mesma, foi descoberto que levaria muito tempo para realizar as simulações e obter os resultados através dessa ferramenta. Como o objetivo do projeto é obter uma solução rápida e eficiente, optou-se que ao invés de fazer simulações no NGSpice, seria mais proveitoso a realização dos cálculos no próprio programa, a fim de tornar o processo mais produtivo e eficiente. Foi escolhido e implementado o método de Elmore para cálculo do atraso do circuito (Gupta, 1997).

O principal objetivo do trabalho é propor um novo algoritmo de dimensionamento para redes de transistores NCSP. Para isso, foi necessário implementar o algoritmo de Logical Effort, que servirá de parâmetro comparativo. E o modelo de Elmore, para medição de atraso.

Na primeira etapa, criou-se uma estrutura de grafo, onde as arestas são os gates e as extremidades do transistor são os vértices, assim, é possível manipular qualquer tipo de entrada em arquivo spice, já que a estrutura interna da aplicação será sempre a mesma, mudando apenas a forma como será interpretado o arquivo para inserir no grafo. Foi necessário desenvolver dessa maneira já que a estrutura poderia ser reutilizada tanto para o cálculo Elmore, quanto para os algoritmos, assim, essa primeira etapa é comum para os três passos descritos anteriormente.

A etapa seguinte é comum tanto para o Logical Effort, quanto para o cálculo Elmore, que consiste em percorrer o grafo do VDD até a saída, ou GND até a saída (dependendo do plano que está sendo analisado), computando por quantos nodos ele passa. Tanto no caso do método Elmore, quanto no caso do Logical Effort aplica-se o cálculo contido em WESTE, 2004. O cálculo Elmore necessita desse grafo para saber se há um ou mais nodos da saída até o VDD ou GND, já que os valores para cada caso mudam.

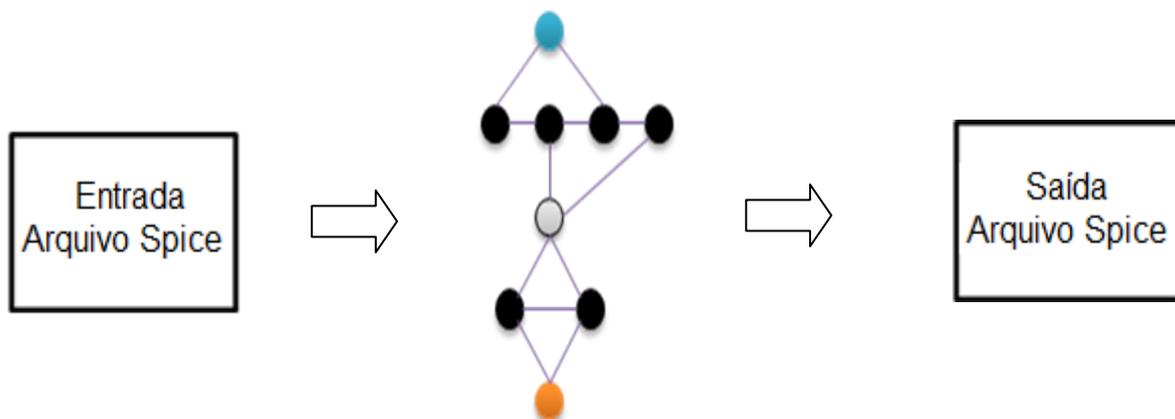
O método Elmore faz um cálculo estimado através do modelo RC, onde, o transistor é caracterizado por uma resistência e uma capacitância equivalente. Para o projeto são utilizados os piores casos (caminhos críticos) para os cálculos realizados.

Para testar se os resultados do Logical Effort estavam corretos, foram comparados ao (LEOMAR, 2009) e (Weste, 2004).

3. RESULTADOS E DISCUSSÃO

Até o momento atual foi implementado o algoritmo de Logical Effort que será usado como um parâmetro de comparação do resultado do algoritmo que será implementado. E parcialmente o cálculo Elmore.

Para exemplificar como foi implementado o Logical Effort foi criado um esquema, onde os nodos pretos representam os nodos entre VDD/GND, o nodo azul claro representa o VDD, o nodo laranja representa o GND e o nodo central representa a saída.



O programa interpreta a entrada Spice e gera o grafo acima, com o grafo gerado ele passa a gerar os caminhos recursivamente entre VDD até a saída ou GND até a Saída (dependendo do plano sendo calculado), prevenindo que

retorne a estados já testados (ciclos). O resultado será todas as malhas com todos os respectivos nodos.

Para chegar ao resultado no plano P o Logical Effort multiplica: o maior número de nodos encontrados na malha da saída até VDD, pelo tamanho mínimo da tecnologia pelo Lambda (Rosa Júnior, 2009).

Para o plano N ele multiplica: o maior número de nodos encontrados na malha da saída até GND com o tamanho mínimo da tecnologia. O lambda só é fator multiplicativo no Plano P, já que plano P é mais lento é necessário compensar (Rosa Júnior, 2009).

Por utilizar recursão há um limite na quantidade de nodos que o programa suporta, após essa quantidade haverá estouro de pilha. Foi testado para 400 nodos na malha (200 nodos no plano P e 200 nodos no plano N) e o cálculo foi realizado normalmente, o que já fornece bastante segurança, já que dificilmente haverá um sub-circuito com um número de nodos maior que esse na malha.

O algoritmo proposto receberá um dado de entrada, que será o atraso que o algoritmo terá de atingir. Com o atraso informado ele partirá de um dimensionamento inicial e fará novos dimensionamentos até atingir o valor informado na entrada. Para cada interação ele fará uma nova estimativa com o cálculo Elmore. Para evitar que seja computacionalmente dispendioso será utilizado uma inteligência artificial. O método Elmore está sendo implementado. Ao concluir esta etapa, espera-se utilizar este método para avaliar as redes geradas pelo nosso método de dimensionamento, através de processos iterativos de otimização.

4. CONCLUSÕES

Apesar de não ter chegado ao objetivo principal, conseguimos direcionar o que será feito no projeto e torná-lo o assunto da pesquisa do Projeto de Conclusão de Curso.

Com a pesquisa realizada espera-se obter um algoritmo de dimensionamento de transistores para redes NCSP em formato Spice, para isso foi desenvolvido o algoritmo de Logical Effort, que dará uma base comparativa dos resultados obtidos. Assim, obtendo o novo método será possível comparar redes dimensionadas com os métodos tradicionais, considerando, principalmente, atraso e potência.

5. REFERÊNCIAS BIBLIOGRÁFICAS

Da Rosa, L. J. et al. Switch Level Optimization of Digital CMOS Gate Networks. In: **10th IEEE International Symposium on Quality Electronic Design**, 2009, p. 324-329.

Possani, V. N. – **Geração Automática de Redes de Transistores Otimizadas para a Tecnologia CMOS**. 2013. Pg. 15-16. Trabalho Final de Conclusão de Curso (graduação) – Curso de graduação em Ciência da Computação, Universidade Federal de Pelotas.

Keane, J. E., Hanyong; Kim, T.; Sapatnekar, S.; Kim, C.: Subthreshold Logical Effort: A Systematic Framework for Optimal Subthreshold Device Sizing. **Design Automation Conference**, 43rd ACM/IEEE, 2006.

Gupta, R.; Krauter, B.; Tutuianu, B.; Willis, J.; Pileggi, L. T.: The Elmore Delay as

a Bound for RC Trees with Generalized Input Signals. **Computer-Aided Design of Integrated Circuits and Systems**, IEEE Transactions on (v.16 , n.1), 1997.

Weste, N. H. E.; Harris, D.: **CMOS VLSI Design A circuit and Systems Perspective**, Local de Edição: Pearson, 2004. 3v.