

UM ESTUDO SOBRE A TECNOLOGIA EMERGENTE QCA

ALBERTO PORTANTIOLO KLEIN; TAMARA MENEGHETTI DA CRUZ;
 FELIPE DE SOUZA MARQUES; LEOMAR SOARES DA ROSA JR.

Universidade Federal de Pelotas – Centro de Desenvolvimento Tecnológico
 { apklein, tmeneghetti, felipem, leomarjr }@inf.ufpel.edu.br

1. INTRODUÇÃO

Diversos estudos apontam para o fim da tecnologia CMOS (*Complementary Metal Oxide Semiconductor*) devido às limitações físicas para sua implementação (CHO, 2007) (HUO, 2006). Dentre as potenciais tecnologias substitutas, a tecnologia QCA (*Quantum Cellular Automata*) tem se destacado e vem sendo fortemente apontada como uma futura solução para dar continuidade na evolução dos circuitos integrados.

A tecnologia baseada em QCA é uma solução em escala nanométrica, baseada em um novo paradigma de computação e transformação de informação, visto que ela trabalha os níveis lógicos em nível atômico.

Estudos recentes indicam que a tecnologia QCA pode atingir frequências de operação em THz e densidade de 10^{12} dispositivos por centímetro quadrado (MOMENZADEH, 2005). Esses benefícios podem ser alcançados com uma dissipação de energia ultra baixa se comparada aos circuitos CMOS convencionais (KUN, 2010), sendo, este baixo consumo, uma solução para a proposta de circuitos *low-power*.

Este artigo apresenta os desafios de implementação do leiaute dos circuitos QCA. São apresentados e discutidos os problemas encontrados ao se projetar circuitos nesta nova tecnologia. Como objetivo principal desta pesquisa, pretende-se obter subsídios para otimizar a ferramenta de simulação disponível na atualidade que é utilizada para descrever os circuitos em QCA.

2. METODOLOGIA

Atualmente, a ferramenta mais utilizada para projetar células quânticas é o *QCADesigner*. O *QCADesigner* é uma ferramenta de síntese e simulação de células, criada pela *University of British Columbia* (WALUS, 2004). A ferramenta está em constante aprimorando, visando a adição de novas funcionalidades e o refinamento dos métodos já disponíveis. Esta ferramenta permite ao usuário a obtenção de estimativas de área e *delay*, além de verificar o comportamento lógico do circuito.

A partir das treze funções apresentadas por (ZANG, 2004) (ZANG, 2007), as quais utilizam células majoritárias de três entradas, estamos utilizando a ferramenta *QCADesigner* (WALUS, 2004) para projetar as células lógicas com a máxima otimização de área possível. O principal desafio do trabalho está em dispor as células eficientemente, já que em QCA não existem fios que podem facilmente ser utilizados para interconectar as diferentes células do projeto, mas, ao invés disso, células que atuam como fios e possuem limite de sobreposição. Outro grande desafio consiste em dispor as células visando à otimização de área. Problemas como conectar a saída de uma porta lógica à entrada de outra, utilizar o menor número de células QCA e levar em conta o limite de sobreposição de células é o fator predominante da pesquisa.

A Figura 1 ilustra a dificuldade em evitar a sobreposição de células QCA quando se torna necessário conectar a saída de uma porta a entrada de outra porta lógica, visto que em QCA não possuímos os fios que utilizamos em CMOS para conectar entradas e saídas sem interferência dos demais nodos que compõem o circuito.

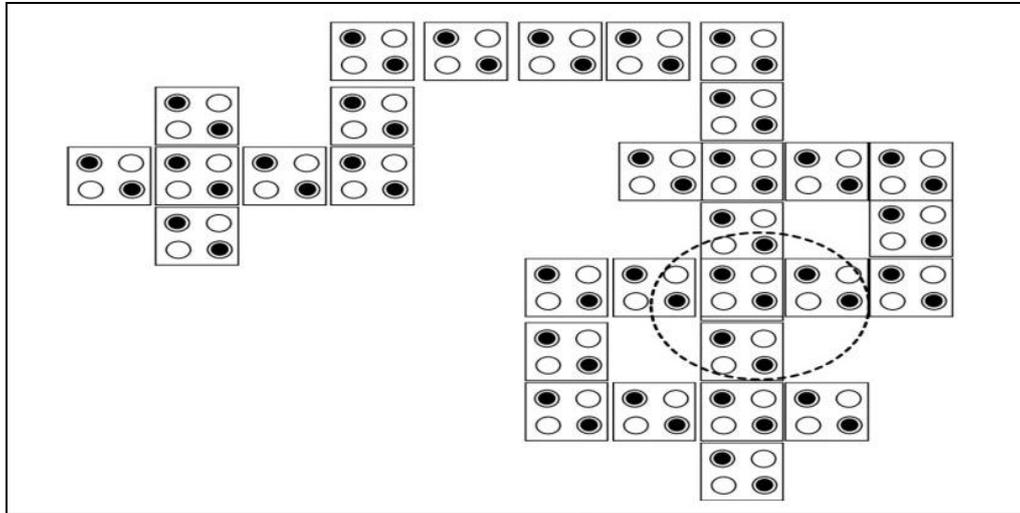
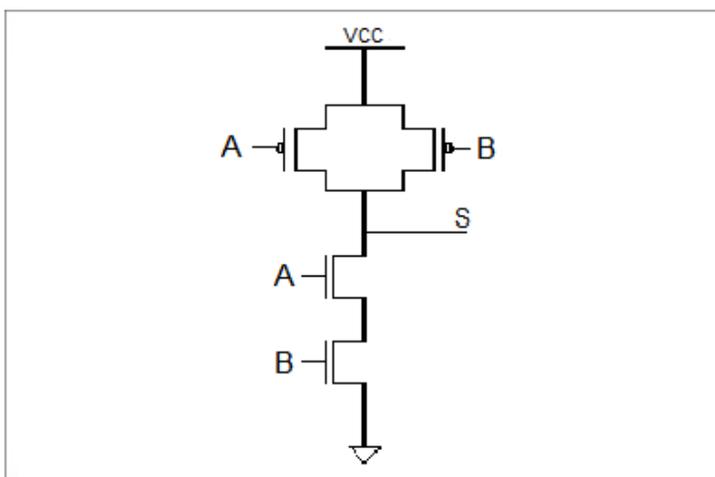


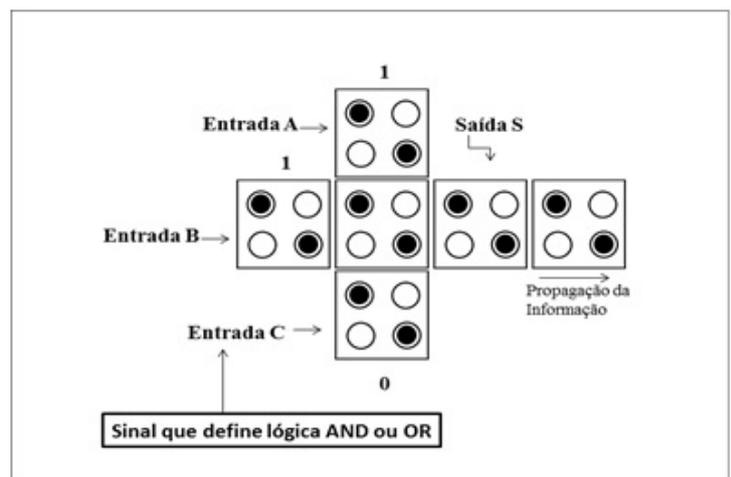
Figura 1. Problema na sobreposição de células QCA.

3. RESULTADOS E DISCUSSÃO

Nossa proposta consiste em investigar e propor métricas e regras para serem utilizadas na avaliação da qualidade de uma célula lógica descrita na tecnologia QCA. Metodologias atuais não podem ser empregadas, pois as técnicas utilizadas na tecnologia CMOS não possibilitam alcançar a otimização desejada no desenho do circuito. A Figura 2 ilustra a representação de duas portas lógicas, (a) descrita na tecnologia CMOS e (b) na tecnologia QCA.



(a)



(b)

Figura 2. Diferença na representação de portas lógicas (a) CMOS e (b) QCA.

O atual problema para a criação de circuitos complexos para a tecnologia QCA envolve fatores como: falta de técnicas para avaliação de área, o que dificulta caracterizar um circuito como otimizado ou não; metodologias ineficientes

para a realização de mapeamento tecnológico (MARQUES, 2008) voltado para a tecnologia QCA; entre outros.

4. CONCLUSÕES

Este trabalho apresentou uma breve análise sobre desafios no projeto de circuitos digitais utilizando a tecnologia QCA. Esta tecnologia é uma forte candidata na substituição da tecnologia CMOS. A partir da análise das características e do desempenho dos circuitos já estudados, podemos concluir que existe uma enorme lacuna no projeto de circuitos QCA. Desde as ferramentas de leiaute, até ferramentas em níveis mais altos de abstração, tais como ferramentas de mapeamento tecnológico, torna-se necessário definir novas técnicas e abordagens que atentam eficientemente o projeto dos circuitos integrados.

5. REFERÊNCIAS BIBLIOGRÁFICAS

CHO, H. and Swartzlander Jr., E. E. (2007). Adder designs and analyses for quantum-dot cellular automata. IEEE TRANSACTIONS ON NANOTECHNOLOGY.

HUO, Z., Zhang, Q., Haruehanroengra, S., and Wang, W. (2006). Logic optimization for majority gate-based nanoelectronic circuits. PROC. INT. SYMP. CIRCUITS SYST.(ISCAS), s.n.:1307–1310.

KUN, K., Lu, R., and Shang, Y. (2010). An optimized majority logic synthesis methodology for quantum-dot cellular automata. IEEE TRANSACTIONS ON NANOTECHNOLOGY.

MARQUES, F. d. S. (2008). Technology Mapping for Virtual Libraries Based on Cells with Minimal Transistor Stacks. PhD thesis, PÓS-GRADUAÇÃO EM COMPUTAÇÃO. UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL - UFRGS, PORTO ALEGRE, BRASIL.

MOMENZADEH, M., Huang, J., Tahoori, M. B., and Lombardi, F. (2005). Characterization, test, and logic synthesis of and-or-inverter (aoi) gate design for qca implementation. IEEE TRANSACTIONS ON COMPUTER-AIDED DESIGN OF INTEGRATED CIRCUITS AND SYSTEMS.

WALUS, K.; DYSART, T.; JULLIEN, G.; BUDIMAN, R. QCADesigner: A rapid design and simulation tool for quantum-dot cellular automata. IEEE TRANSACTIONS NANOTECHNOLOGY, [S.l.], v.3, p.26–29, Mar. 2004.

ZHANG, R., Walus, K., Wang, W., and Graham, A. J. (2004). A method of majority logic reduction for quantum cellular automata. IEEE TRANSACTIONS ON NANOTECHNOLOGY.

ZHANG, R., Gupta, P., and Jha, N. K. (2007). Majority and minority network synthesis with application to qca-, set-, and tpl-based nanotechnologies. IEEE TRANSACTIONS COMPUTER-AIDED DESIGN INTEGRATED CIRCUITS SYSTEMS, 26:1233–1245.