

UM MÓDULO PARA ESTIMAÇÃO DE CONSUMO DE POTÊNCIA DURANTE O MAPEAMENTO TECNOLÓGICO

PATRICK BÜRKE GARCIA; JULIO S. DOMINGUES JUNIOR;
LEOMAR SOARES DA ROSA JR; FELIPE DE SOUZA MARQUES

Universidade Federal de Pelotas
{patrick.garcia, jsdomingues, leomarjr, felipem}@inf.ufpel.edu.br

1. INTRODUÇÃO

Mesmo com a evolução da microeletrônica nos últimos anos, o projeto de circuitos integrados ainda não é uma tarefa trivial. Diversos fatores aumentam a complexidade do projeto, dentre eles, a busca por maior desempenho e menor consumo de energia do circuito. Em vista desses problemas, o uso de ferramentas computacionais é indispensável no processo de síntese de circuitos digitais, visto que cada circuito geralmente possui milhões de elementos lógicos. Através de ferramentas, é possível automatizar algumas etapas e também diminuir a possibilidade de inserção de erros humanos. Essas ferramentas são denominadas ferramentas de EDA, do inglês *Electronic Design Automation*.

O projeto de circuitos integrados pode ser dividido em três etapas, são elas: síntese de alto nível, síntese lógica e síntese física. A primeira etapa descreve o circuito com linguagens de mais alto nível de abstração, como por exemplo, *Verilog Hardware Description Language* (VHDL, 2014). Estas linguagens descrevem a funcionalidade do circuito tanto no aspecto estrutural quanto comportamental. Contudo, este tipo de descrição desconsidera diversas características necessárias no momento da construção do circuito.

A segunda etapa, denominada síntese lógica, recebe a descrição em alto nível, aplica algumas otimizações e, como resultado, gera uma descrição com informações que permitem a fabricação do circuito digital. Por último, a síntese física recebe a descrição da síntese lógica e considera as questões geométricas da construção do circuito. Essas questões podem ser o roteamento das células, o posicionamento dos elementos ou o dimensionamento dos transistores.

Cada etapa possui uma série de passos a serem efetuados, porém este trabalho é focado em uma etapa da síntese lógica denominada mapeamento tecnológico. O mapeamento tecnológico recebe a descrição mais abstrata e, como resultado, gera um conjunto de portas lógicas interligadas. O mapeamento pode ser dividido em três etapas básicas, são elas: decomposição, casamento e cobertura lógica (Marques, 2007). A etapa de decomposição prepara a estrutura de dados (descrição sujeito). Já a etapa de casamento de padrões tenta encontrar equivalências entre porções da estrutura de dados e células de uma tecnologia. Por último, a etapa de cobertura elege o melhor conjunto de casamentos para implementar o circuito. Essa implementação visa à minimização de uma função custo, a qual pode ser a minimização de critérios, como por exemplo, área, atraso, consumo de potência. Durante o mapeamento tecnológico as principais características estruturais do circuito são definidas.

Considerando a função custo, mais especificamente o consumo de potência, este trabalho tenta propor uma funcionalidade para a ferramenta *FlexMap* no que diz respeito a estimar o consumo de potência de um circuito. A ferramenta *FlexMap* (*FlexMap*, 2014) é um *framework* para métodos de mapeamento tecnológico. Esta ferramenta continua em desenvolvimento e novos módulos

estão sendo criados a fim de flexibilizar ainda mais o processo de mapeamento tecnológico.

O objetivo deste trabalho é apresentar um novo módulo para a ferramenta *FlexMap*. O módulo desenvolvido consiste em uma rotina que tenta estimar o consumo de potência através da descrição sujeito do circuito, considerando o número total de transições para todas as configurações de entradas possíveis. Essa estimativa poderá ser utilizada como informação secundária em processos iterativos de mapeamento, possibilitando ao projetista uma prévia do consumo de potência deste circuito.

2. METODOLOGIA

A ferramenta *FlexMap* é desenvolvida com o foco em mapeamento tecnológico. Assim, seu objetivo é permitir um ambiente de síntese configurável e flexível. Uma descrição aceita pela ferramenta é a que representa o circuito através de um grafo com apenas portas primitivas *and* e *inversor*, denominado de AIG (*And Inverter Graph*). O AIG é a descrição sujeito (estrutura de dados) base do *FlexMap* e, por ser bem difundida na comunidade de síntese lógica, permite um padrão bem especificado e documentado, como o padrão AIGER. O AIGER é muito utilizado em outras ferramentas de síntese, dentre elas o ABC (ABC, 2014).

A abordagem proposta basicamente inicia com a geração de todos os vetores de entradas possíveis. Em outras palavras, é preciso ter todas as configurações possíveis de valores lógicos para as entradas primárias da descrição. Após obter os vetores de entrada, esses vetores são inseridos em pares, onde apenas uma das entradas é diferente o valor lógico. Assim, é possível estimar em quais nodos da descrição sujeito haverá transição do valor lógico de saída.

Para a aplicação da propagação da lógica das entradas primárias até as saídas, são utilizadas políticas de caminhamento em grafos. Existem duas políticas implementadas na ferramenta *FlexMap*, para efetuar o caminhamento na estrutura de AIG, são elas: busca em profundidade e busca em largura. Através desses caminhamentos, é possível propagar os estados lógicos do circuito de forma gradual.

O módulo desenvolvido busca a obtenção dos dados de transição através do caminhamento por busca em profundidade para simular as transições em cada nodo da descrição sujeito. A cada par de vetores de entrada é feita a propagação dos valores lógicos das entradas até as saídas do circuito e as informações sobre as transições dos nodos armazenadas. A Figura 1 demonstra um exemplo da simulação.

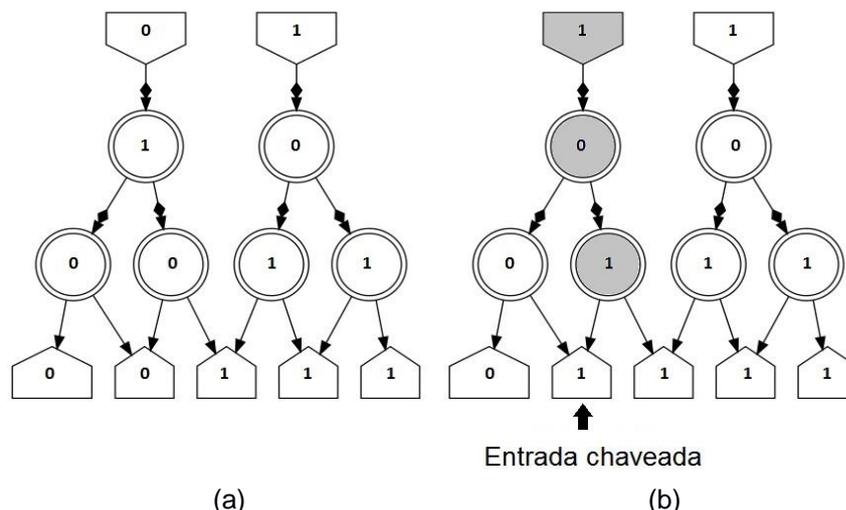


Figura 1: Exemplo de chaveamento.

A Figura 1.b mostra a propagação dos valores lógicos das entradas com apenas um valor lógico diferente do vetor de entrada da Figura 1.a. Após inicializar as entradas, os valores lógicos são propagados para as saídas e assim por diante, até que a atualização seja em um nodo de saída. Os nodos transicionados aparecem destacados na Figura 1.b.

Os custos em cada transição do circuito deverão ser calculados levando em conta diferentes critérios. Dentre eles, a combinação dos valores lógicos nas entradas da porta lógica, o dimensionamento de cada porta (*gate sizing*) e também a tecnologia alvo. O dimensionamento de portas consiste em determinar o melhor tamanho para cada porta lógica do circuito com o intuito de reduzir a área e o consumo de potência do circuito (Posser, 2011). Contudo, esta abordagem foi implementada de forma simplista desconsiderando diferentes dimensionamentos. O algoritmo considera apenas um valor fixo para cada transição. Sabendo o consumo de potência de cada transição, a partir dos dados gerados pela rotina, é possível estimar um custo do consumo de potência que o circuito iria consumir. Tal informação poderá ser aproveitada pelo próprio mapeamento para aplicar ajustes na descrição de saída visando à minimização de consumo de potência do circuito resultante.

3. RESULTADOS E DISCUSSÃO

Para a validação do módulo desenvolvido, foi utilizado um subconjunto dos circuitos presentes no *benchmark* ISCAS'85 (ISCAS, 2014). Este subconjunto contém 50 circuitos. Os testes foram realizados em circuitos com no máximo 21 entradas, visto que existe um alto custo computacional para computar todos os vetores de entrada possível, onde o número de vetores de entrada é definido por 2^{2^n} , onde n se refere ao número de entradas do circuito.

Os resultados foram gerados considerando somente o número total de transições de cada circuito. Uma análise secundária foi feita considerando um consumo de potência simplista, baseando no custo da transição de uma porta *and* em diferentes tecnologias e com o dimensionamento mínimo. Para a análise dos dados, foram testadas duas diferentes tecnologias com seus respectivos dimensionamentos das portas *and*. A tabela 1 apresenta os resultados obtidos quanto ao número de transições assim como a estimativa de consumo em diferentes tecnologias.

4. CONCLUSÕES

Este trabalho apresentou o desenvolvimento de um novo módulo para estimar o consumo de potência durante o mapeamento tecnológico na ferramenta *FlexMap*. O módulo ainda está em desenvolvimento e para trabalhos futuros pretende-se adicionar novas funcionalidades, bem como aprimorar a fórmula para o cálculo do custo por transições, visando uma estimativa mais realista.

Tabela 1: Resultados das Simulações para o subconjunto Iscas'85

Circuito	Entradas	Transicoes nas portas <i>and</i>	Custo Tecnologia TSMC035 350n (em microWatt)	Custo Tecnologia TSMC25 25n (em microWatt)
cm150a	21	118095872	8,33525E+16	9126,656778
cc	21	81739776	5,76923E+16	6316,99371
vda	17	76651264	5,41008E+16	5923,74455
t481	16	58695928	4,14278E+16	4536,124591
table5	17	42433028	2,99494E+16	3279,299065
sct	19	40524352	2,86022E+16	3131,793225
alu4	14	27924992	1,97096E+16	2158,092516
misex3	14	23910272	1,6876E+16	1847,82789
pcl	19	14219520	1,00362E+16	1098,909525
table3	14	4826014	3,40622E+15	372,9628533
parity	16	4718592	3,3304E+15	364,6610921
tcon	17	3932160	2,77533E+15	303,8842434
b12	15	3046400	2,15016E+15	235,4311521
cm163a	16	2113792	1,49192E+15	163,357565
pm1	16	1993088	1,40673E+15	154,0293475
cmb	16	1197856	8,45451E+14	92,57241931

5. REFERÊNCIAS BIBLIOGRÁFICAS

MARQUES, F. S.; Rosa, L. S. ; Ribas, R. P. ; Sapatnekar, S. S.; Reis, A. I. . **DAG based library-free technology mapping**. In: 17th Great Lakes Symposium on VLSI, 2007, Stresa-Lago Maggiore. *Proceedings GLSVLSI*. New York: ACM Press, 2007.

POSSER, G. . **Dimensionamento de portas lógicas usando programação geométrica**. 2011. Dissertação (Mestrado em Ciência da Computação) – Programa de Pós-Graduação em Computação, Universidade Federal do Rio Grande do Sul.

Aiger Format - The AIGER And-Inverter Graph (AIG) Format - Acessado em 21 de Julho de 2014. Online. Disponível em: <http://fmv.jku.at/aiger/>

VHDL - **Verilog Hardware Description Language** - Acessado em 21 de Julho de 2014. Online. Disponível em: <http://www.verilog.com/>

ABC - BERKELEY, U. C. **ABC: A System for Sequential Synthesis and Verification** - Acessado em 22 de Julho de 2014. Online. Disponível em: <http://www.eecs.berkeley.edu/~alanmi/abc/>

GACI - UFPEL - **FlexMap: Uma novo Framework para Mapeamento Tecnológico** - Acessado em 22 de Julho de 2014. Online. Disponível em: http://inf.ufpel.edu.br/gaci/?page_id=597

ISCAS *High-Level Models*. **ISCAS Benchmarks** – Acessado em 24 de Julho de 2014. Online. Disponível em: <http://web.eecs.umich.edu/~jhayes/iscas.restore/>