

ESTUDO DE DESEMPENHO DE APLICAÇÕES DSP EM SISTEMAS RECONFIGURÁVEIS

LUIS H. J. MARTINS¹; EDUARDO V. NICOLA²; JULIO C. RUZICKI³; JULIO C. B. MATTOS⁴

¹Universidade Federal de Pelotas, Curso de Engenharia de Computação – lhjmaritns@inf.ufpel.edu.br

²Universidade Federal de Pelotas, Curso de Ciência da Computação – evnicola@inf.ufpel.edu.br

³Universidade Federal de Pelotas, Programa de Pós-Graduação em Computação – jcmruzicki@inf.ufpel.edu.br

⁴Universidade Federal de Pelotas, Centro de Desenvolvimento Tecnológico – julius@inf.ufpel.edu.br

1. INTRODUÇÃO

O uso de sistemas embarcados cresce a cada dia com a incorporação de funções nos mais variados dispositivos, como TVs, celulares, relógios, entre outros. Além disso, estes sistemas têm agregado a capacidade de comunicarem-se através da Internet aumentando a necessidade de soluções para o problema do consumo energético.

A transmissão de dados é uma etapa muito custosa do trabalho desses dispositivos. Isso se deve em parte à necessidade de converter os sinais analógicos do ambiente em sinais digitais, que os sistemas internos dos dispositivos conseguem trabalhar, e a subsequente reconversão das respostas digitais em sinais contínuos para envio.

Como a maioria dos dispositivos embarcados possuem restrições com relação a desempenho e consumo de energia, é necessária uma arquitetura versátil (RANA, 2007), que garanta o cumprimento dessas restrições. Existe na literatura a proposta de Unidades Reconfiguráveis, que tentam aumentar o desempenho do processador sem alterar a frequência de operação, pois a dissipação de calor já se encontra no limite (FLYNN; HUNG, 2005). A proposta consiste de acoplar unidades funcionais capazes de executar trechos do código diretamente em hardware, evitando o fluxo de dados do processador. Essas unidades se adaptam ao programa que está sendo executado, em tempo de execução, permitindo a aceleração da execução de diversos trechos do programa através da exploração do paralelismo existente principalmente, em aplicações onde são utilizadas técnicas de Processamento Digital de Sinais (PDS).

A proposta deste trabalho é realizar análise de desempenho e consumo energético de aplicações DSP em um sistema com apenas um processador de propósito geral e em um sistema com um processador de propósito geral acoplado a um Sistema Reconfigurável (SR) que auxilia na realização dos cálculos necessários ao PDS.

2. METODOLOGIA

Para este trabalho foi analisado o desempenho (em ciclos) e o consumo energético do processador MIPS32 (MIPS32, 2012) e em um MIPS32 acoplado à unidade reconfigurável, enquanto executa um conjunto de aplicações, que foram selecionadas devido ao seu amplo uso no PDS. São elas:

1. Algoritmo DFT, Transformada Discreta de Fourier;

2. Algoritmo IDFT, Transformada Discreta de Fourier Inversa
3. Algoritmo FIR, Filtro de Resposta ao Impulso;
4. Algoritmo FFT, Transformada Rápida de Fourier;
5. Algoritmo IFFT, Transformada Rápida de Fourier Inversa

O SR usado no trabalho, proposta por (BECK, 2008), é fortemente acoplado ao processador, sendo mais uma unidade funcional no estágio de execução. Na Figura 1, temos o sistema completo. O sistema é composto por um tradutor binário, o qual monitora as instruções a serem executadas e verifica na cache de reconfiguração se há uma configuração já armazenada o que acelera na reconfiguração da unidade.

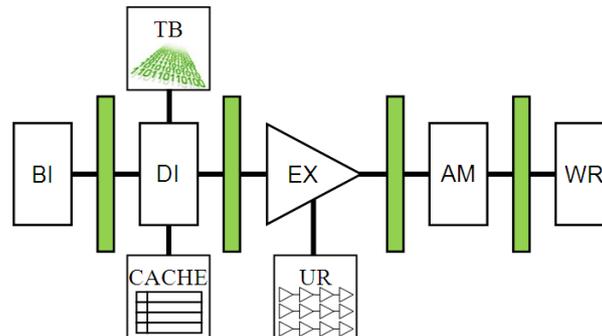


Figura 1. Sistema completo

Acoplada à unidade de execução do processador temos a Unidade Reconfigurável (UR), vista na Figura 2, composta por unidades simples como ULAs, registradores, multiplicadores, etc. estas unidades são chamadas de granularidade grossa, pois manipulam dados de 32 bits, que é a mesma largura de dados do processador.

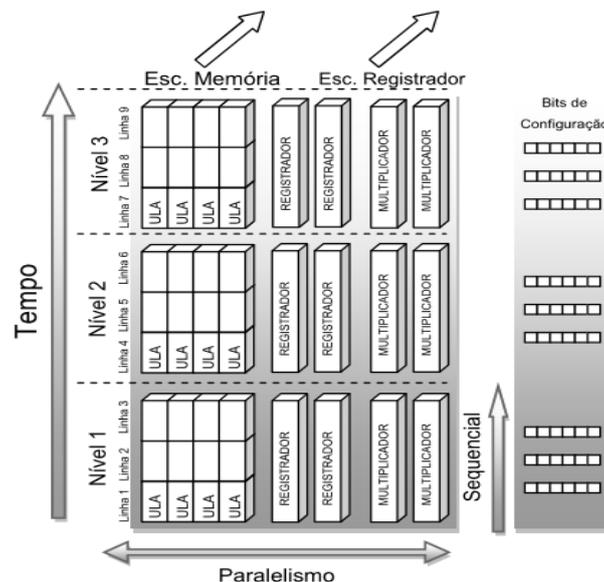


Figura 2. Unidade Reconfigurável (Beck, 2008)

A unidade avaliada no trabalho consiste de 24 linhas, com oito ULAs, uma unidade de multiplicação e duas unidades de acesso aos registradores por linha. Todas essas operações podem ser feitas em paralelo, desde que não haja dependência de dados. A implementação das aplicações foi feita em linguagem

C, e foram executadas no simulador OVPSim (OVPSim, 2014). Este simulador possui código fonte aberto possibilitando a alteração de diversos parâmetros. O simulador foi alterado para gerar o traço da execução das aplicações, os quais foram usados como entrada do simulador do SR. Este sistema consiste de um programa que simula o funcionamento do processador MIPS32 com a UR acoplada e fornece diversas informações como, número de ciclos gastos, consumo energético, tempo de reconfiguração, aceleração, etc. Estes resultados foram usados para realizar a comparação nos dois cenários propostos.

3. RESULTADOS E DISCUSSÃO

As Figuras 3(a) e 3(b) mostram os resultados da execução das aplicações, em termos de ciclos gastos, no processador MIPS32 e no conjunto MIPS32+UR. É possível ver que em todos os casos houve uma diminuição do número de ciclos usados, devido à capacidade do SR de explorar o paralelismo existente nestas aplicações.

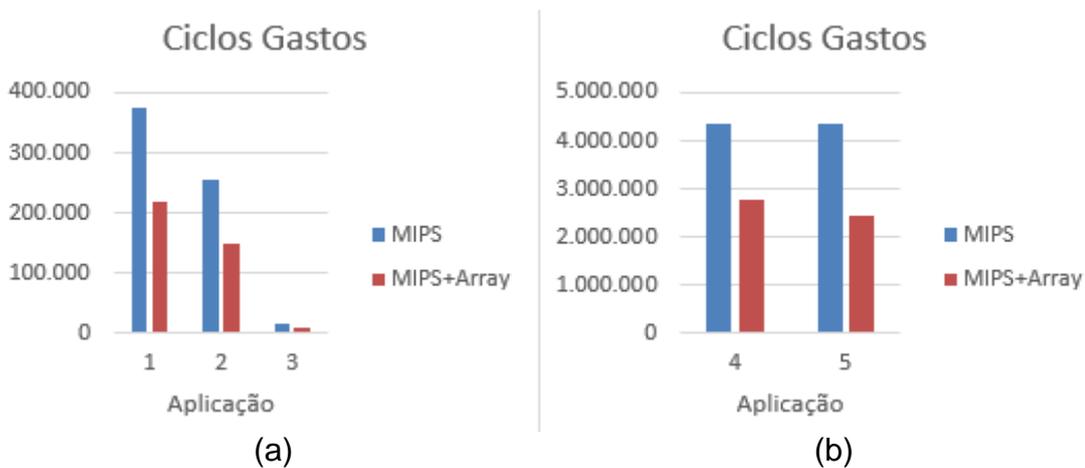


Figura 3. Ciclos gastos por diferentes aplicações.

É importante ressaltar que, em termos de unidades lógicas, o SR ocupa cerca de 98 vezes mais espaço do que o processador MIPS32. Porém, como as Figuras 4(a), 4(b) e 5 mostram, a energia consumida e potência dissipada pela arquitetura foi menor do que a do processador.

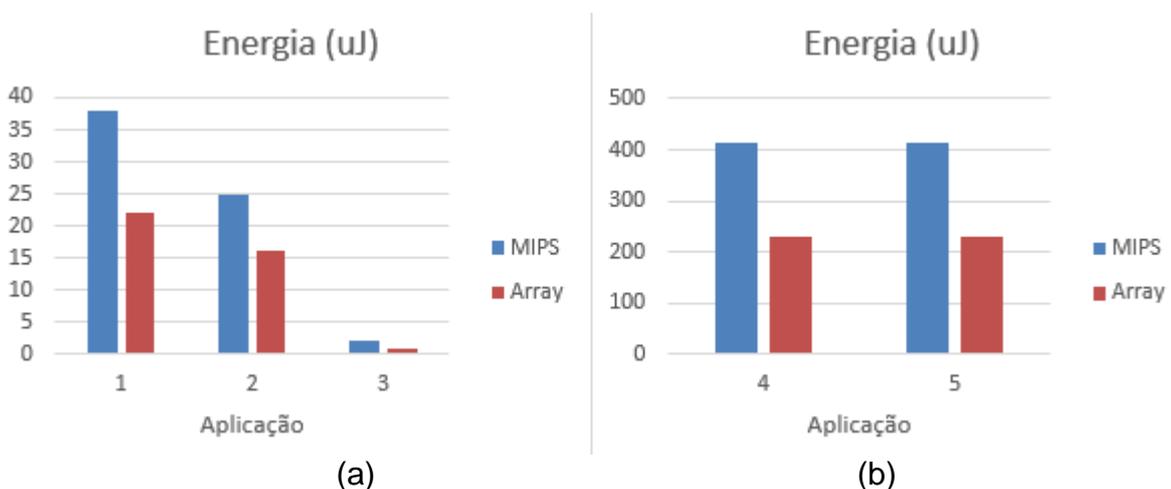


Figura 4. Consumo de energia das diferentes aplicações.

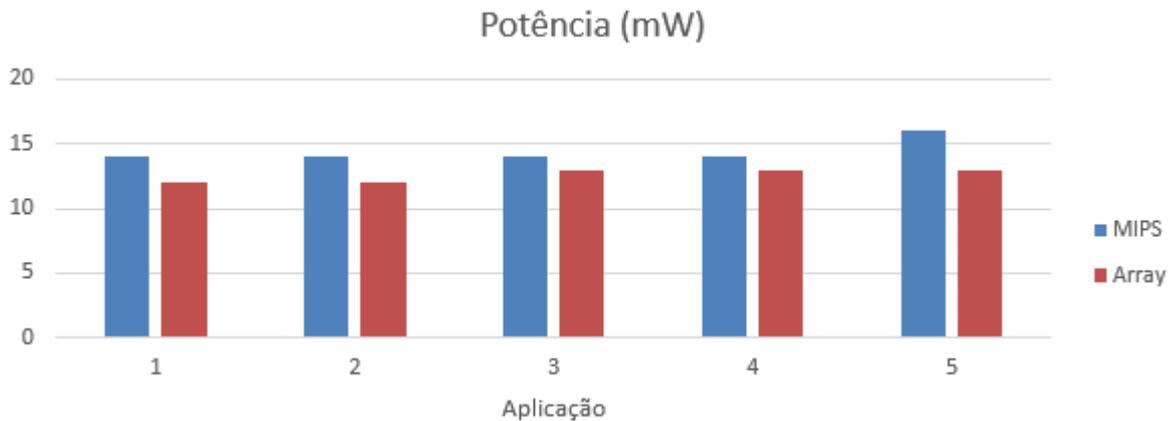


Figura 5. Consumo de potência das diferentes aplicações.

4. CONCLUSÕES

Foi possível observar que o uso de arquiteturas reconfiguráveis pode ser uma alternativa viável para uso em sistemas embarcados. O SR se mostrou mais eficiente do que o processador MIPS32 na execução das aplicações e, ao mesmo tempo, teve um consumo de energia menor.

Esse desempenho superior se deve à grande capacidade da arquitetura reconfigurável em explorar o paralelismo das instruções, permitindo realizar diversos cálculos simultaneamente. Também contribui para esses resultados o uso de unidades especializadas para o acesso à memória, que também é um dos grandes desafios de qualquer sistema.

Por outro lado, a grande desvantagem da proposta é o aumento da área ocupada. No entanto, a versatilidade do SR permite que, em tempo de projeto, seja avaliado qual o tamanho ideal a unidade reconfigurável deve ter para atender às demandas do sistema sendo desenvolvido.

5. REFERÊNCIAS BIBLIOGRÁFICAS

MARWEDEL, P. **Embedded Systems Design**. Dordrecht: Springer, 2006.

FLYNN, M. J., HUNG, P. Microprocessor design issues: thoughts on the road ahead. **Micro, IEEE**, CA, USA, v. 25, n. 3, p.16-31, 2005.

BECK FILHO, A. C. S. **Transparent Reconfigurable Architecture for Heterogeneous Applications**. 2008. 188f. Tese (Doutorado em Ciência da Computação – Programa de Pós-graduação em Computação Universidade Federal do Rio Grande do Sul).

RANA, V.; SANTAMBROGIO, M.; SCIUTO, D. Dynamic Reconfigurability in Embedded System Design. In: **IEEE INTERNATIONAL SYMPOSIUM ON CIRCUITS AND SYSTEMS**, New Orleans, 2007, **Anais...** New Orleans, 2007. p. 2734-2737.

MIPS32. **MIPS32**, 2012. Acessado em: 22 Julho, 2012. Offline. Acesso em: <http://www.mips.com/products/architectures/mips32/>

Open Virtual Platforms. **OVPsim**. Acessado em 27 Julho, 2014. Online. Disponível em: http://www.ovpworld.org/technology_ovpsim.