

DESENVOLVIMENTO DE UMA AQUITETURA DO FILTRO ALF PARA O CODIFICADOR DE VIDEO HEVC

ÂNDRIO FERREIRA DE ARAÚJO CAMPOS; RUHAN CONCEIÇÃO; BRUNO ZATT, MARCELO PORTO, LUCIANO VOLCAN AGOSTINI

Universidade Federal de Pelotas - Grupo de Arquitetura e Circuitos Integrados – {afdacampos, radconceicao, zatt, porto, agostini}@inf.ufpel.edu.br

1. INTRODUÇÃO

Com o passar dos anos, qualidade e resolução de vídeos digitais vem crescendo cada vez mais, resultando em uma necessidade de representação de volume de dados cada vez maior. Em contrapartida, o número de dispositivos com suporte a estes vídeos digitais vem crescendo, e conseqüentemente reduzindo o custo de aquisição destes dispositivos. Um exemplo disso são smartphones e tablets, que com diferentes modelos, e preços acessíveis, suportam esse tipo de tecnologia. Com isso, a busca para aperfeiçoar os codificadores de vídeo se tornou uma atividade de grande importância no cenário atual já que, dispositivos que processam vídeos digitais devem ser capazes de processar vídeos em alta resolução em tempo real.

Como pode ser observado na Figura 1, um codificador de vídeos é composto por uma seqüência de passos, onde cada passo é responsável por uma etapa do processo de codificação de vídeo. O estado da arte em codificação de vídeos é o padrão HEVC - *High Efficiency Video Coding* (ITU-T, 2013). Entre os principais objetivos deste codificador, destaca-se o objetivo de dobrar a taxa de compressão, quando comparado ao seu antecessor, o padrão H.264/AVC (AGOSTINI, 2007).

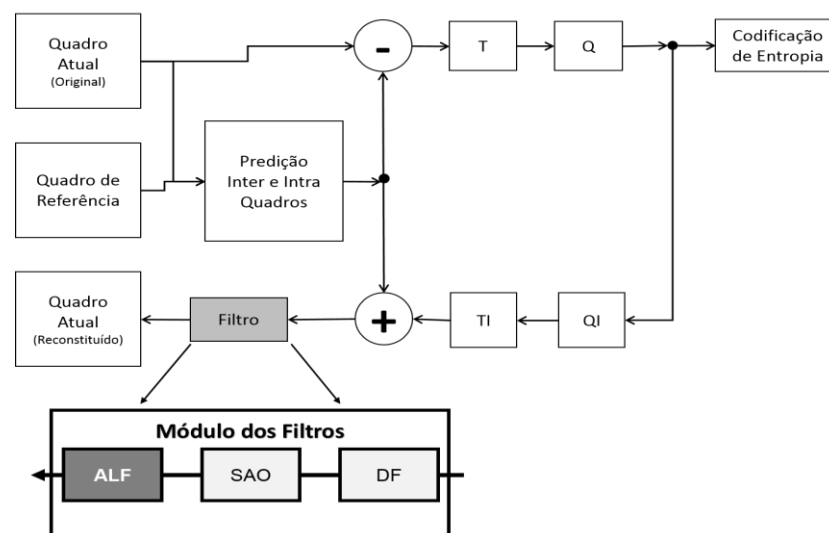


Figura 1. Diagrama de um codificador de vídeo genérico.

Existem muitas ferramentas incorporadas nos codificadores de vídeos modernos com o objetivo de aumentar a taxa de compressão de vídeo sem grandes perdas de qualidade do vídeo codificado. Em contrapartida, com o aumento da taxa de compressão proporcionada por estas ferramentas e a complexidade do

codificador, artefatos indesejados nos vídeos também aumentam. Neste contexto os filtros são inseridos visando melhorar a qualidade do vídeo codificado.

O módulo de filtros do HEVC é dividido em três etapas de filtragem: o filtro de remoção de efeito de bloco (*Deblocking Filter* - DF), o filtro de compensação de amostra adaptativa (*Sample Adaptive Offset* - SAO) e o filtro em laço adaptativo (*Adaptive Loop Filter* - ALF). Por ter uma complexidade computacional muito alta, o ALF foi removido do padrão HEVC a partir da versão 8.0 do software de referência, o HEVC *Model* (HM) (JCT-VC, 2012), porém, como a decisão não foi unânime entre os pesquisadores, pesquisas com foco no ALF ainda são relevantes pois ele pode ser incorporado em uma extensão do HEVC, como por exemplo o 3D-HEVC (MULLER, 2013), ou em um novo padrão de codificação de vídeo.

Características como alta complexidade e orientação a dados tornam o ALF um alvo ideal para implementações em hardware. Este trabalho propõe uma arquitetura em hardware, capaz de estimar as amostras filtradas dos coeficientes do filtro a partir do formato de cruz 9x7 do ALF, proposto para a versão 5.0 (WIEGAND, 2011) do HEVC. A arquitetura proposta neste trabalho tem o alvo de processar vídeos de ultra alta definição (*Ultra High Definition* - UHD) 4K (3840x2160 pixels) em tempo real a 30 quadros por segundo.

2. METODOLOGIA

Para desenvolver a arquitetura proposta, primeiramente, foi utilizado a versão do software de referência 5.0 do HEVC *Model* (HM) (JCT-VC, 2102), após, foi feito um estudo nos filtros do codificador focado no filtro ALF. A partir da realização dos diagramas do ALF em cruz como pode ser observado na Figura 2, foi proposto uma arquitetura capaz de efetuar o cálculo da amostra filtrada seguindo a forma de cruz (*cross shape*) de tamanho 9x7.

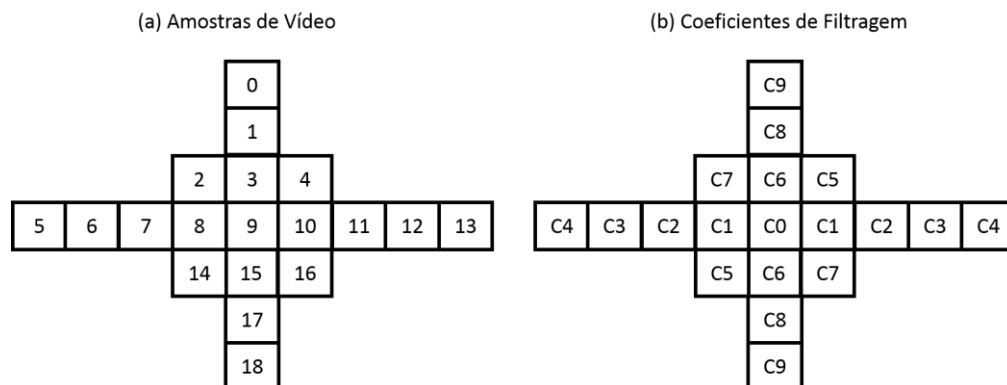


Figura 2. Diagrama do Filtro ALF em Cruz

A arquitetura é composta basicamente de somadores, multiplicadores, barreiras de registradores e um *clip*, os quais visam aumentar o desempenho da arquitetura. Primeiramente, é efetuada uma fatoração entre as amostras que multiplicam os mesmos coeficientes. Desta forma, é possível diminuir o número de multiplicadores utilizados na arquitetura, consequentemente diminuindo o consumo de recursos de hardware.

O cálculo de filtragem da amostra é realizado seguindo o padrão apresentado na Figura 3, onde as letras de a até s representam as amostras de vídeos e o “C” representa os coeficientes de filtragem.

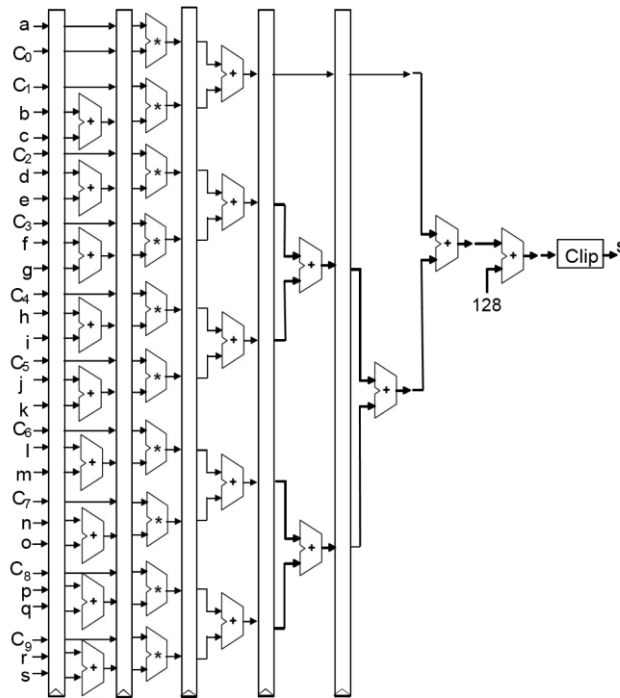


Figura 3. Arquitetura do ALF em formato de Cruz

3. RESULTADOS E DISCUSSÃO

A arquitetura proposta foi descrita em VHDL, usando o software Altera Quartus II, e sintetizada no dispositivo FPGA Altera Stratix III EP3SE50F484C2 e também sintetizada em ASIC 45nm, utilizando a biblioteca Open-PDK.

A Tabela 1 apresenta os resultados obtidos com a sintetização nas duas tecnologias. Para a implementação no dispositivo FPGA, os resultados em consumo de hardware são apresentados com número elementos lógicos – *Adaptive Look-up Tables* (ALUTs) - a quantidade de registradores e bloco de sinais digitais processados (DSP), multiplicadores, além da frequência alcançada na FPGA e o máximo de quadros processados por segundo na resolução UHD 4K. Os resultados da implementação em ASIC, são dados como o total de portas lógicas utilizadas e a potência total dissipada. O consumo total de energia da implementação em ASIC apresentado, é com o alvo em UHD 4K a 30 quadros por segundo.

Tabela 1. Resultados de sintetização em FPGA e ASIC.

FPGA		ASIC		
Parâmetros	Valor	Alvo	Parâmetros	Valor
Elementos Lógicos (ALUTs)	116	-	Portas Lógicas	8.550
Frequência Máxima (MHz)	490.2	UHD 4K	Frequência (MHz)	248.8
UHD 4K fps	59		Consumo de Energia (mW)	10.27

Observando a Tabela 1, em FPGA, a arquitetura consegue processar até 59 quadros por segundo na resolução UHD 4K, a uma frequência máxima de 490.2MHz utilizando de 116 elementos lógicos (ALUTs). Em contrapartida, em ASIC, a arquitetura alcança uma frequência máxima de 248.8MHz, utilizando 8.550 portas lógicas para processar 30 quadros por segundo na mesma qualidade.

Com estes dados é possível observar que ambas implementações são capazes de processar vídeos UHD 4K em tempo real. Os cálculos de performance foram feitos considerando o pior caso, quando todas as amostras da imagem precisam ser filtradas.

4. CONCLUSÕES

Este trabalho apresentou o desenvolvimento de uma arquitetura otimizada para o filtro ALF em formato de cruz para o padrão de codificação de vídeo HEVC, focando em processar vídeos de ultra alta definição em tempo real. O ALF introduz uma melhoria significativa na qualidade dos vídeos codificados, e por causa da sua complexidade, arquiteturas de hardware dedicadas são essenciais.

Os resultados mostram que a arquitetura para ambas tecnologias, FPGA e ASIC, conseguiram atingir as metas propostas, atingindo um desempenho suficiente para processar vídeos UHD 4K a 30 quadros por segundo.

Como trabalho futuro, será dado seguimento a pesquisa do filtro ALF com objetivo de otimizações algorítmicas com o propósito de diminuir a complexidade do filtro, além de novas implementações em hardware.

5. REFERÊNCIAS BIBLIOGRÁFICAS

AGOSTINI, Luciano. **Desenvolvimento de Arquiteturas de Alto Desempenho Dedicadas a Compressão de Vídeo Segundo o Padrão H.264/AVC**. 2007. Tese (Doutorado em Ciência da Computação) – Instituto de Informática, UFRGS.

CHIA-YANG, T.; et-al. Adaptive Loop Filtering for Video Coding. **IEEE Journal of Selected Topics in Signal Processing**, p.934-945, 2013

ITU-T, International Telecommunication Union (ITU). **ITU-T Recommendation H.265: High Efficiency Video Coding, Audiovisual and Multimedia Systems**, Acessado em 22 de jul. de 2014. Online. Disponível em: <http://www.itu.int/rec/T-REC-H.265-201304-I>.

JCT-VC, Il-Koo Kim, et-al. **HM8: High Efficiency Video Coding (HEVC) Test Model 8 Encoder Description**. JCTVC-J1002. 10th JCT-VC Meeting. Stockholm, 2012.

MULLER, K.; et al. 3D High-Efficiency Video Coding for Multi-View Video and Depth Data. **IEEE Transactions on Image Processing**, p.3366-3378, 2013.

WIEGAND, T., et-al. **WD5: Working Draft 5 of High-Efficiency Video Coding**. JCTVC- 001. 7th JCT-VC Meeting. Geneva, 2011.