

IMPLEMENTANDO REDES DE TRANSISTORES ATRAVÉS DOS NOVOS DISPOSITIVOS INDEPENDENT GATE FINFET

VINICIUS NEVES POSSANI; FELIPE DE SOUZA MARQUES;
LEOMAR SOARES DA ROSA JUNIOR

Universidade Federal de Pelotas
{vnpossani, felipem, leomarjr}@inf.ufpel.edu.br

1. INTRODUÇÃO

Embora a contínua redução na escala dos transistores CMOS (*Complementary Metal Oxide Silicon*) venha trazendo grandes avanços na performance dos circuitos digitais, o processo tecnológico de fabricação está enfrentando grandes desafios devido a miniaturização desses dispositivos e aos limites físicos dos materiais utilizados (FRANK, DENNARD, *et al.*, 2001). Desde 2001 os transistores FinFET vêm sendo apontados como tecnologia promissora para continuar o processo de fabricação além dos limites da tecnologia CMOS. Esses novos dispositivos se demonstram bastante interessantes, pois podem ser construídos de duas maneiras diferentes, de acordo com a configuração do *gate*. Uma possibilidade é unir os dois *gates* produzindo um dispositivo *single-gate* (SG) FinFET, como ilustrado na Fig. 1(a). Outra alternativa é construir um transistor com dois *gates* independentes de forma que cada *gate* possa ser controlado por um sinal de entrada diferente, como ilustrado pela Fig. 1(c). Essa configuração é conhecida como *independent-gate* (IG) FinFET. Essas diferentes formas de construir o *gate* do transistor vem abrindo um amplo espaço de projeto e introduzindo novos desafios a serem explorados tanto na etapa de síntese lógica quando na etapa de síntese física.

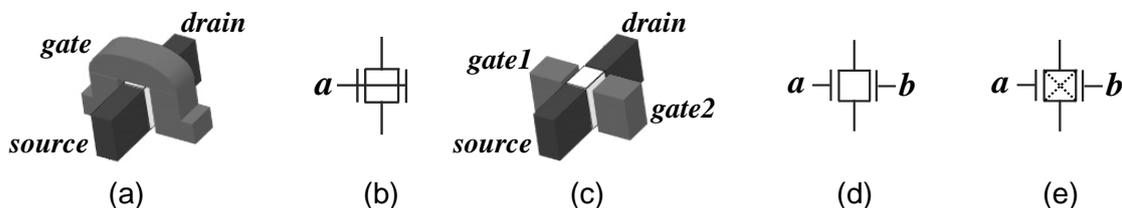


Figura 1. Em (a) e (b), representações do transistor SG FinFET, em (c) transistor IG FinFET e suas variações IG FinFET (*paralelo*) em (d) e IG FinFET (*série*) em (e).

Com base na estrutura do transistor IG FinFET ilustrado pela Fig. 1(c) é possível identificar que um arranjo paralelo, *i. e.* $(a + b)$, pode ser implementado através dos dois *gates* separados do transistor. Nesse sentido, alguns pesquisadores têm explorado essa possibilidade de unir dois transistores em paralelo em um único IG FinFET para reduzir o número total de transistores em portas lógicas (DATTA, GOEL, *et al.*, 2007) (MUTTREJA, AGARWAL e JHA, 2007). Posteriormente, alguns pesquisadores identificaram a possibilidade de unir transistores em série, *i. e.* $(a \cdot b)$, em um único IG FinFET. Isso é feito baseado na função de *threshold* do transistor, a qual fará o transistor conduzir corrente, estado (I_{on}), se e somente se ambos os *gates* estiverem no estado ativo (CHIANG, KIM, *et al.*, 2006) (ROSTAMI, 2011). Dessa forma, a união de transistores em série e em paralelo se torna uma estratégia poderosa para reduzir o número de transistores em circuitos digitais. No restante desse trabalho, os transistores SG FinFET, IG FinFET (*paralelo*) e IG FinFET (*série*) serão representados pela notação ilustrada pela Fig. 1(b), Fig. 1(d) e Fig. 1(e), respectivamente.

Considerando as novas possibilidades oferecidas pela tecnologia FinFET, diversos trabalhos disponíveis na literatura vêm demonstrando que reduzir o

número de transistores através de agrupamentos em IG FinFETs é uma forma eficiente para se reduzir área e consumo de potência em circuitos digitais (MUTTREJA, AGARWAL e JHA, 2007) (ROSTAMI, 2011). Existem diversos métodos diferentes disponíveis na literatura para reduzir o número de literais em expressões Booleanas e gerar redes de transistores otimizadas para implementar portas lógicas (MARTINS, DA ROSA JUNIOR, *et al.*, 2010) (POSSANI, CALLEGARO, *et al.*, 2013) (GOLUMBIC, MINTZ e ROTICS, 2008). Tais métodos são capazes de derivar soluções satisfatórias para dispositivos baseados em um único *gate*, *i. e.* CMOS convencional ou SG FinFET. Em geral, esses métodos visam minimizar o número de literais em uma expressão Booleana aplicando fatoração ou otimizações baseadas em grafos. Tradicionalmente, minimizar o número de literais leva a uma rede de transistores reduzida. Isso ocorre, pois existe uma relação direta entre literais e transistores.

Quando o objetivo é reduzir o número de transistores através do uso de IG FinFETs, apenas minimizar literais em uma expressão Booleana pode não conduzir à melhor solução. Isso ocorre porque alguns literais redundantes, em uma expressão fatorada, podem contribuir para o agrupamento de transistores em série ou em paralelo e reduzir a contagem total de transistores da rede. Porém, como os métodos convencionais de otimização visam minimizar o número de literais, tais métodos podem não ser a melhor alternativa para gerar redes de transistores baseadas em IG FinFETs. Tendo em vista esse panorama, este trabalho apresenta um método automatizado capaz de explorar o potencial dos dispositivos baseados em dois *gates*.

2. METODOLOGIA

O algoritmo proposto recebe como entrada uma ISOP (*Irredundant-Sum-of-Products*) e realiza o processo de otimização em três passos. O primeiro passo consiste em realizar combinações, quatro a quatro, dos cubos da expressão de entrada a fim de construir estruturas de grafos as quais chamamos de *SP Kernel*. Por exemplo, aplicando a seguinte equação $f = a.c + a.d + b.c + b.d$ como entrada ao método proposto, é possível obter o *SP Kernel* ilustrado pela Fig. 2(a). Em um *SP Kernel* cada cubo da expressão é representado por um vértice do grafo e as arestas representam literais em comum entre os pares de cubos. Dessa forma, é possível determinar a relação entre um conjunto de cubos a fim de compor um arranjo otimizado de transistores. Se todos os cubos (vértices) do grafo da Fig. 2(a) compartilharem seus respectivos literais através das arestas, isso significa que houve um compartilhamento total entre os cubos. Assim, os literais representados pelas arestas do grafo da Fig. 2(a) devem ser reposicionados a fim de se obter um arranjo eficiente de transistores, como ilustrado na Fig. 2(b). Este tipo de arranjo é bastante promissora para implementar agrupamentos de transistores série e paralelo em IG FinFETs.

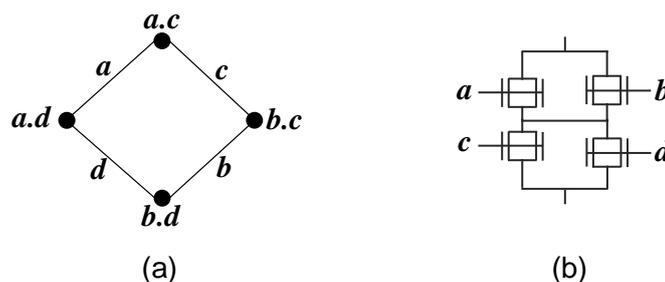


Figura 2. *SP Kernel* em (a) e rede de transistores resultante em (b).

O Segundo passo do método recebe os cubos que não foram utilizados para construir *SP Kernels* no passo anterior e constrói uma tabela relacionando os

cubos e as variáveis da função em questão. Como um exemplo, considere a tabela ilustrada pela Fig. 3, a qual foi obtida a partir da seguinte equação $f = c.d + !a.b.!c.!d + a.b.d + a.b.c$. O algoritmo realiza fatorações entre os cubos da tabela, respeitando uma restrição para potencializar o agrupamento de transistores em IG FinFETs. Tal restrição define que sejam realizadas apenas fatorações em que existam pelo menos dois literais em comum entre os cubos a serem fatorados, essa restrição caracteriza os grupos **desejados** na Fig. 3. Além disso, o algoritmo de fatoração evita realizar compartilhamentos como os descritos pelo grupo **indesejado** na Fig. 3. Seguindo essa estratégia, é possível convergir para redes com arranjos promissores para os agrupamentos em IG FinFET. Isso é demonstrado pela rede composta por 5 transistores ilustrada na Fig. 4(a), a qual foi gerada a partir do grupo **desejado** da tabela da Fig. 3. Por outro lado, se considerarmos o grupo **indesejado** da tabela da Fig. 3, obtém-se a rede com 6 transistores ilustrada na Fig. 4(b).

		<i>a</i>	<i>b</i>	<i>c</i>	<i>d</i>
<i>cubo1</i>	<i>c.d</i>			1	1
<i>cubo2</i>	<i>!a.b.!c.!d</i>	0	1	0	0
<i>cubo3</i>	<i>a.b.d</i>	1	1		1
<i>cubo4</i>	<i>a.b.c</i>	1	1	1	

desejado
indesejado

Figura 3. Tabela de relação entre cubos para determinar grupos desejados.

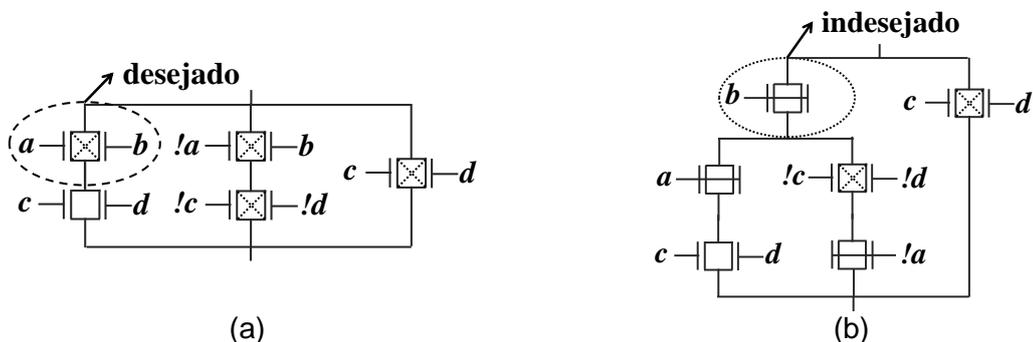


Figura 4. Redes obtidas a partir de grupos desejados (a) e indesejados (b).

O terceiro e último passo consiste em compor as redes parciais obtidas nos dois primeiros passos. Para isso, as redes obtidas através dos *SP Kernels* são associadas em paralelo com as redes obtidas pela fatoração tabular. Por fim, aplica-se mais uma etapa de otimização baseada em compartilhamento de arestas. Esse terceiro é baseado na etapa *Kernel Composition* proposta em (POSSANI, CALLEGARO, *et al.*, 2013).

3. RESULTADOS E DISCUSSÃO

Para avaliar o método proposto foram utilizados dois conjuntos de funções Booleanas conhecidos pela comunidade científica. O primeiro experimento foi realizado sobre o conjunto *NPN 5 (negation-permutation-negation)*, o qual é composto por 616.126 funções de até 5 variáveis. Esse conjunto foi aplicado ao método proposto e também a dois outros métodos convencionais de geração de redes de transistores (MARTINS, DA ROSA JUNIOR, *et al.*, 2010) (POSSANI, CALLEGARO, *et al.*, 2013). O segundo experimento foi realizado sobre o conjunto de todas as funções *RO (Read-Once)* de até 6 variáveis, o qual é composto por 456.772 funções. Esse conjunto foi aplicado ao método proposto e a um método

de fatoração dedicado a funções RO, o qual foi proposto por (GOLUMBIC, MINTZ e ROTICS, 2008). A Tabela I mostra os resultados obtidos através de cada método para os dois experimentos realizados.

Tabela I. Resultados obtidos nos dois experimentos realizados.

<i>Funções</i>	<i>Funções NPN de até 5 variáveis</i>			<i>Funções Read-Once de até 6 variáveis</i>	
<i>Métodos</i>	(MARTINS, <i>et al.</i> , 2010)	(POSSANI, <i>et al.</i> , 2012)	Método Proposto	(GOLUMBIC, <i>et al.</i> , 2008)	Método Proposto
Numero total de dispositivos	7.350.852	8.037.628	6.843.272	1.760.248	1.714.131

Como pode ser visto nas tabelas, o método proposto foi capaz de reduzir mais transistores IG FinFETs do que os métodos tradicionais de fatoração e geração de redes baseados em grafos. Isso demonstra que, existem novos desafios e paradigmas introduzidos pelos dispositivos compostos por dois *gates*, onde os métodos convencionais podem não ser a alternativa mais adequada para gerar redes baseadas em tais dispositivos.

4. CONCLUSÕES

Este trabalho apresenta uma breve análise que aponta novos desafios na etapa de geração de redes de transistores baseadas em dispositivos compostos por dois *gates*, como os novos transistores IG FinFETs. Nesse sentido, este trabalho apresenta um novo método de geração de redes de transistores, dedicado a dispositivos IG FinFET. Os experimentos realizados demonstram que, de fato, métodos convencionais não são a melhor alternativa para tratar de dispositivos com dois *gates*. Com isso, o método proposto passa a ser uma alternativa aos métodos convencionais, viabilizando arranjos mais promissores para as novas tecnologia de transistores como os dispositivos IG FinFETs.

5. REFERÊNCIAS BIBLIOGRÁFICAS

- CHIANG, M. et al. High-Density Reduced-Stack Logic Circuit Techniques Using Independent-Gate Controlled Double-Gate Devices. **IEEE TRANSACTIONS ON ELECTRON DEVICES**, v. 53, n. 9, p. 2370- 2377, Sep 2006.
- DATTA, A. et al. Modeling and Circuit Synthesis for Independently Controlled Double Gate FinFET Devices. **IEEE TRANSACTIONS ON COMPUTER-AIDED DESIGN OF INTEGRATED CIRCUITS AND SYSTEMS**, v. 26, n. 11, p. 1957-1966, Nov 2007.
- FRANK, E. et al. Device scaling limits of Si MOSFETs and their application dependencies. **Proceedings of the IEEE**, v. 89, n. 3, p. 259–288, Mar 2001.
- GOLUMBIC, M.; MINTZ, A.; ROTICS, U. An improvement on the complexity of factoring read-once Boolean functions. **Discrete Appl. Math**, v. 156, p. 1633-1636, 2008. ISSN 10.
- MARTINS, M. et al. **Boolean Factoring with Multi-Objective Goals**. IEEE Int. Conf. on Computer Design. Amsterdam: [s.n.]. 2010. p. 229-234.
- MUTTREJA, A.; AGARWAL, N.; JHA, N. **CMOS Logic Design with Independent-gate FinFETs**. 25th International Conference on Computer Design. Lake Tahoe, CA: [s.n.]. 2007. p. 560 - 567.
- POSSANI, V. et al. **Improving the methodology to build non-series-parallel transistor arrangements**. 26th Symposium on Integrated Circuits and Systems Design (SBCCI). Curitiba, PR: [s.n.]. 2013. p. 1-6.
- ROSTAMI, M. & M. K. Dual-Vth Independent-Gate FinFETs for Low Power Logic Circuits. **IEEE TRANSACTIONS ON COMPUTER-AIDED DESIGN OF INTEGRATED CIRCUITS AND SYSTEMS**, v. 30, n. 3, p. 337- 349, Mar 2011.