

NOVA EXTENSÃO PARA A FERRAMENTA FLEXMAP CAPAZ DE EXPLORAR TÉCNICAS DE PRÉ-PROCESSAMENTO E PÓS-PROCESSAMENTO

JOÃO JÚNIOR DA SILVA MACHADO; JULIO S. DOMINGUES JÚNIOR;
LEOMAR SOARES DA ROSA JR.; FELIPE DE SOUZA MARQUES

Universidade Federal de Pelotas
{jjdsmachado, jsdomingues, leomarjr, felipem}@inf.ufpel.edu.br

1. INTRODUÇÃO

O processo de fabricação de Circuitos Integrados (CIs) teve um grande avanço nas últimas décadas. Entretanto, mesmo com técnicas avançadas, projetar circuitos digitais não é uma tarefa trivial. Isto se deve ao tempo de projeto reduzido e a complexidade de desenvolver CIs. Deste modo, visando minimizar o tempo de projeto, tanto a indústria de microeletrônica quanto o meio acadêmico, utilizam ferramentas para Automação de Projetos Eletrônicos (EDA) no processo de síntese de CIs.

Normalmente, o processo de síntese é dividido em três etapas: síntese de alto-nível, síntese lógica e síntese física. A primeira etapa é responsável por sintetizar uma descrição de hardware (Linguagem de Descrição de Hardware, do inglês *Hardware Description Language* - HDL) em um *netlist* de portas lógicas. Em um segundo momento aplica-se a síntese lógica. Esta etapa é responsável por realizar o mapeamento tecnológico e também por aplicar otimizações e/ou simplificações, independentes da tecnologia. Por fim, a partir da *netlist* mapeada, a síntese física realiza rotinas de posicionamento e roteamento no circuito, considerando as restrições do projeto de fabricação, de forma a gerar o leiaute do circuito.

Uma das etapas mais importantes aplicadas dentro da síntese lógica é o mapeamento tecnológico. Esta etapa consiste em encontrar um conjunto de células lógicas interconectadas para implementar um circuito lógico, visando minimizar uma dada função objetivo. A função objetivo pode conter componentes que refletem características como área, atraso, consumo de potência, etc. O processo de mapeamento tecnológico pode ser dividido em três etapas: decomposição lógica, identificação de padrões e cobertura lógica. A primeira etapa visa preparar a estrutura de dados para o mapeamento, gerando uma representação do circuito. Normalmente, esta estrutura de dados utiliza apenas um conjunto restrito de operadores lógicos. Em um segundo momento, aplica-se a identificação de padrões, que visa verificar a equivalência entre subgrafos e células de uma biblioteca. Este processo normalmente irá resultar em algumas sobreposições de células, o que acarretará em um aumento de área no circuito final. Para solucionar este problema, aplicam-se algoritmos de cobertura, com o intuito de definir o melhor conjunto de células que será utilizado para implementar o circuito, de forma a satisfazer uma determinada função objetivo.

O trabalho proposto está relacionado com o processo de síntese lógica. Existem alguns algoritmos disponíveis na literatura que podem ser aplicados para otimizar uma descrição lógica, como por exemplo, decomposição funcional (BERTACCO, 1997), fatoração (BRAYTON, 1987), minimização de dois níveis (RUDELL, 1988), etc. Sendo assim, a descrição sujeito pode ser otimizada antes de se aplicar o mapeamento, possibilitando alcançar diferentes soluções. Deste modo, o mapeamento além de definir as principais características estruturais do circuito, pode ajudar a reduzir comprimentos dos fios das interconexões, que pode resultar em menor congestionamento e atraso do circuito.

Uma vez que o foco do artigo visa permitir a utilização de diferentes algoritmos de pré-processamento e pós-processamento durante a síntese lógica, faz-se necessário lidar com diferentes descrições de circuitos. No presente trabalho, utilizou-se os formatos EQN (*Equation Format*) e AIGER (*AIGER Format*). O primeiro formato é desenvolvido pela Synopsys e descreve a função lógica de uma função booleana através de equações. Já o formato AIGER, é desenvolvido pelo Instituto de Modelos Formais e Verificações da Áustria. Este padrão descreve a lógica de um circuito utilizando um Grafo *And-Inversores* (AIG), composto exclusivamente por portas lógicas de duas entradas, que possui como vértices a porta lógica *And* e Inversores.

O principal objetivo deste trabalho é fornecer novos recursos para a ferramenta FlexMap, no que diz respeito a métodos de pré-processamento e pós-processamento de descrições lógicas. O FlexMap é um *framework* para desenvolver novos métodos de mapeamento tecnológico. Desta forma, é possível criar fluxos alternativos visando diferentes abordagens de síntese. Atualmente, a ferramenta aceita apenas circuitos descritos no formato AIGER. Entretanto, visando usufruir de algoritmos de otimizações implementados em outras ferramentas, foi desenvolvida a extensão compatível com circuitos descritos no padrão EQN. Dessa forma, com a extensão desenvolvida, é possível integrar o fluxo de mapeamento do FlexMap com métodos de otimizações de outras ferramentas, além de viabilizar a criação de métodos iterativos de mapeamento

2. METODOLOGIA

Uma das principais limitações da ferramenta FlexMap, está relacionado com a representação dos circuitos de entrada. Inicialmente, o FlexMap aceitava apenas arquivos do tipo AIGER como entrada. Entretanto, este formato pode limitar a representação estrutural do circuito, tendo em vista que sua representação utiliza apenas inversores e portas lógicas AND de duas entradas. Assim, mesmo que a descrição inicial seja otimizada em função de outros operadores, essas otimizações não serão consideradas se o formato AIGER for utilizado como entrada da ferramenta.

A extensão desenvolvida permite que o FlexMap possa carregar descrições alternativas, utilizando o formato EQN. Com o uso deste formato, é possível adicionar novos recursos para a ferramenta, além de permitir integrar o fluxo de síntese com outras ferramentas. Do mesmo modo, a extensão possibilita a aplicação de metodologias que buscam refinar a solução inicial. MISHCHENKO (2008) e RUDELL (1988), demonstram que uma etapa de pré-processamento pode resultar em um circuito mais otimizado após o mapeamento tecnológico. Outra possibilidade é a integração com métodos de pós-processamento. Neste sentido, o FlexMap pode aplicar metodologias iterativas de otimização em circuitos mapeados pelo próprio ambiente FlexMap ou por outras ferramentas, como por exemplo, ABC ou SIS. Sendo assim, a extensão viabiliza refinar a solução alcançada até que as restrições da função objetivo sejam satisfeitas, aumentando a exploração no espaço de projeto de circuito digitais.

3. RESULTADOS E DISCUSSÃO

De forma a avaliar e demonstrar a possibilidade de alcançar diferentes soluções a partir de diferentes descrições iniciais, alguns experimentos foram realizados para uma aplicação específica: o mapeamento tecnológico usando células majoritárias para a construção de circuitos quânticos utilizando *Quantum-dot Cellular Automata* (QCA). KONG (2010), apresenta uma metodologia para realizar este tipo de síntese utilizando a ferramenta SIS. A metodologia proposta,

baseia-se na decomposição do circuito em funções de três entradas, para construir células majoritárias implementadas com QCAs, visando a minimização do número destes componentes. Desta forma, diferentes metodologias de síntese foram experimentadas no conjunto de circuitos do benchmark MCNC, com o intuito de perceber o espaço de soluções que foram encontradas.

No que tange o escopo do FlexMap, o experimento realizado avaliou os resultados de diferentes decomposições iniciais. O método de mapeamento utilizado no FlexMap é focado na otimização de área de um circuito, utilizando o algoritmo de *Cortes-K* (CONG, 1999). A variável K define o número máximo de entradas em cada célula do circuito. Com intuito de garantir compatibilidade com os resultados obtidos por Kong, utilizou-se o K igual a três.

A Tabela 1 mostra os resultados em termos de números de elementos (células) necessárias para mapear cada circuito considerando sua decomposição inicial. A coluna *AIGER* refere-se ao resultado do mapeamento partindo da descrição do circuito no padrão AIG. A coluna *EQN* refere-se ao resultado do mapeamento utilizando apenas decomposições baseadas em portas lógicas primitivas, tais como AND-2, OR-2 e inversores. Para comparar o impacto da etapa de pré-processamento, o mesmo método de decomposição presente na ferramenta SIS, descrito em (KONG, 2010), foi aplicado. Sendo assim, as colunas *SIS-1*, *SIS-2* e *SIS-3* referem-se ao circuito decomposto na ferramenta SIS utilizando, respectivamente, os métodos um, dois e três, disponíveis em (KONG, 2010). Do mesmo modo, para avaliar a qualidade da decomposição inicial, três métodos de decomposições diferentes da ferramenta ABC foram utilizados. Estes métodos são focados na decomposição da descrição inicial, visando diminuir a área do circuito. Desta forma, as colunas *ABC-1*, *ABC-2* e *ABC-3*, referem-se, respectivamente, aos comandos *resyn*, a composição dos comandos *resyn* com *resyn-2* e, por último, a composição dos comandos anteriores juntamente com o comando *choices*. Por fim, a coluna *Kong* descreve os resultados apresentados em (KONG, 2010).

Com o auxílio da extensão proposta, foi possível explorar diferentes soluções de mapeamento, através de diferentes métodos de decomposições iniciais, utilizando os circuitos descritos no formato EQN. Os resultados obtidos demonstram a variedade de soluções de mapeamento alcançada. Além disso, utilizando o mesmo método de mapeamento, a porcentagem de otimizações nas diferentes decomposições obtidas foi de aproximadamente 47% em relação as demais soluções.

4. CONCLUSÕES

Este artigo apresentou uma extensão para a ferramenta FlexMap. Esta extensão visa aumentar a compatibilidade do FlexMap com outros formatos de descrição. Com o uso desta extensão é possível explorar circuitos descritos no formato EQN como entrada. Este formato permite representar os circuitos com diferentes configurações estruturais, possibilitando exploração de diferentes decomposições iniciais de um CI.

Para demonstrar a funcionalidade da extensão proposta, vários experimentos foram realizados utilizando diferentes métodos de decomposição. Os resultados obtidos demonstraram que explorar métodos de decomposição é uma boa alternativa. Além disso, pode-se observar que os resultados das decomposições da ferramenta ABC, quando utilizados métodos de pré-processamento, foram melhores em relação aos resultados obtidos pelas decomposições feitas por Kong em (KONG, 2010). Como trabalhos futuros, pretende-se explorar métodos de mapeamentos iterativos em conjunto com aplicação de técnicas pré-processamento.

Circuitos	AIGER	EQN	SIS-1	SIS-2	SIS-3	ABC-1	ABC-2	ABC-3	Kong
9symml	109	118	126	217	28	111	113	114	70
alu2	342	362	629	629	233	254	249	208	447
apex6	387	419	661	661	366	379	379	363	820
c8	139	144	259	259	66	61	58	51	140
cht	170	180	307	307	79	75	77	82	129
example2	183	188	326	326	143	152	143	134	310
frg1	350	368	659	659	233	252	257	231	166
frg2	957	1113	1791	1791	446	576	405	361	715
i2	150	153	232	232	121	143	142	144	209
k2	1313	1466	2289	2289	995	911	934	793	1520
lal	81	81	84	142	48	39	37	39	114
idd	72	72	80	112	35	43	43	45	91
pcler8	51	53	48	70	32	40	40	40	95
sct	87	89	95	152	42	36	29	31	86
term1	358	376	676	676	122	68	46	75	156
ttt2	280	294	508	508	97	112	95	78	197
unreg	48	48	59	112	50	49	49	63	117
vda	606	642	1020	1020	473	455	470	429	842
x1	838	915	1571	1571	364	466	475	167	359
z4ml	113	115	58	217	8	69	59	34	15
Total	6634	7196	11478	11950	3981	4291	4100	3482	6598
Ratio	0,995	0,917	0,575	0,552	1,657	1,538	1,609	1,895	
Nível de Otimização	-0,546	-9,063	-73,962	-81,115	39,664	34,965	37,860	47,226	

Tabela 1. Avaliação considerando área para os CI do *benchmark* MCNC utilizando diferentes decomposições iniciais.

5. REFERÊNCIAS BIBLIOGRÁFICAS

- BERTACCO, V.; DAMIANI, M., "The disjunctive decomposition of logic functions", *IEEE/ACM International Conference on Computer-Aided Design of Integrated Circuits and Systems*, vol.16 no.16, pp.78,82, 9-13 Nov. 1997.
- BRAYTON, R.K.; RUDELL, R.; SANGIOVANNI-VINCENTELLI, A.; WANG, A.R., "MIS: A Multiple-Level Logic Optimization System", *IEEE/ACM International Conference on Computer-Aided Design of Integrated Circuits and Systems*, vol.6, no.6, pp.1062,1081, November 1987.
- CONG, J.; WU, C.; DING, Y., "Cut ranking and pruning: Enabling a general and efficient FPGA mapping solution", *Seventh International Symposium on Field Programmable Gate Arrays (FPGA)*, pp.29-36, 1999.
- KONG, K; SHANG, Y; LU, R, "An Optimized Majority Logic Synthesis Methodology for Quantum-Dot Cellular Automata", *IEEE Transactions Nanotechnology*, vol.9, no.2, pp.170,183, March 2010.
- MISHCHENKO, A.; BRAYTON, R.; CHATTERJEE, S., "Boolean factoring and decomposition of logic networks", *IEEE/ACM International Conference on ICCAD*, vol.7, no.7, pp.38,44, 10-13 Nov. 2008.
- RUDELL, R.L.; BRAYTON, R.K., "Multi-level logic minimization using implicit don't cares", *IEEE/ACM International Conference on Computer-Aided Design of Integrated Circuits and Systems*, vol.7, no.6, pp.723,740, Jun 1988.