

DESENVOLVIMENTO EM HARDWARE E SÍNTESE ASIC DE ARQUITETURAS OTIMIZADAS PARA AS TRANSFORMADAS DISCRETAS DOS COSENOS SEGUNDO O PADRÃO HEVC DE CODIFICAÇÃO DE VÍDEO

José Cláudio de Souza Júnior; Ruhan Ávila da Conceição; Bruno Zatt, Marcelo Porto; Luciano Volcan Agostini

Universidade Federal de Pelotas (UFPEL) – Grupo de Arquitetura de Circuitos Integrados (GACI) – {jcdsouza, radconceicao, zatt, porto, agostini}@inf.ufpel.edu.br

1. INTRODUÇÃO

Atualmente a quantidade de dispositivos capazes de manipular vídeos digitais vem crescendo rapidamente, como exemplo temos as câmeras digitais, *smartphones*, televisores, *tablets* e etc. Além disso, em um futuro próximo, a internet e consequentemente os vídeos, estarão presentes em quase tudo que nos cerca. Frente ao pano de fundo que está se construindo, é necessário prover suporte de *software* e *hardware* para que tal aspiração se torne factível.

Para tanto, são utilizados padrões de codificação de vídeo que exploram as informações redundantes presentes nos vídeos, de forma que os mesmos possam ser transmitidos e armazenados nas respectivas estruturas que existem no mercado e que são, na maioria das vezes, acessíveis a maior parte da população. A utilização de codificadores de vídeo, deve-se ao fato da dificuldade de manipular vídeos digitais sem compressão. Por exemplo, um vídeo com resolução HD1080p (1920x1080 pixels), com duração de 2 horas e 30 quadros por segundo (QPS), necessitaria de aproximadamente 1,2 *terabytes* para sua representação; por outro lado, um vídeo com as mesmas características, codificado com o padrão HEVC – *High Efficiency Video Coding* (ITU-T, 2013), necessitaria aproximadamente de 4 *gigabytes* para sua representação. Com isto, é possível perceber a relevância de pesquisar e desenvolver soluções para codificação de vídeo.

A compressão de vídeos é realizada dentro do codificador por uma sequência de passos. A codificação inicia com um processo de predição e posteriormente é aplicada a codificação residual. Existe também uma etapa de reconstrução do quadro, este processo é realizado pela quantização inversa, transformação inversa e por filtros; a fim de utilizar o quadro que está sendo codificado como quadro de referência nos próximos processos de predição.

Dentro do processo de codificação residual, os resíduos provenientes da diferença entre o quadro atual e o quadro predito, sofrem uma mudança de domínio de representação. A etapa que opera esta mudança de domínio é chamada de transformadas e tem por objetivo transformar as amostras do domínio espacial para o domínio das frequências. As transformadas manipulam blocos do quadro de resíduos, chamados *transform units* (TU). Este processo é realizado porque no domínio das frequências a quantização obtém resultados mais eficientes ao eliminar frequências menos perceptíveis ao sistema visual humano.

No HEVC, são utilizadas as transformadas discreta dos cossenos (DCT) e dos senos (DST) de duas dimensões (2D). Uma das inovações do HEVC é o uso de mais tamanhos de TUs incluindo 4x4, 8x8, 16x16 e 32x32 amostras, entretanto isso provoca um grande esforço de processamento. Dessa forma, prejudica a utilização do HEVC em arquiteturas embarcadas ou de baixo poder computacional. Uma das alternativas é a utilização de arquiteturas otimizadas e dedicadas para o processo de codificação. Dentre as tecnologias para síntese destas arquiteturas, é comum utilizar

FPGA (*Field Programmable Gate Array*) e ASIC (*Application Specific Integrated Circuit*).

Este trabalho tem por objetivo apresentar o desenvolvimento de arquiteturas otimizadas para o cálculo das DCTs de todos os tamanhos definidos no HEVC (4x4, 8x8, 16x16 e 32x32) utilizando como estudo de caso a síntese em tecnologia ASIC de 65nm.

2. METODOLOGIA

Para o desenvolvimento das arquiteturas das DCTs do codificador HEVC, inicialmente foi necessário analisar o *software* de referência do padrão (HM - *HEVC Model*) (JCT-VC, 2012) e a versão Draft9 do HEVC (JCT-VC, 2013). A partir destes foram extraídas as equações que descrevem o processo das DCTs de 4x4, 8x8, 16x16 e 32x32 amostras.

A partir das equações das DCTs, identificou-se muitas operações de multiplicação por constantes fixas. Associado a isso, este tipo de operação utiliza muitos recursos de *hardware* quando não otimizadas (CARRO, 2001). Sendo assim, inicialmente as multiplicações foram substituídas por somas e deslocamentos equivalentes. Além disso, foi observado uma quantidade relevante de operações compartilhadas entre as equações de todas as DCTs. Com o intuito de reduzir o número de operações realizadas, foi desenvolvido um *software* que buscasse o melhor conjunto de sub-expressões, mais detalhes sobre o *software* podem ser conferidos em (CONCEIÇÃO, 2012).

A partir do conjunto de equações resultantes do *software* de otimização desenvolvido, as arquiteturas foram descritas em VHDL e sintetizadas utilizando tecnologia ASIC de 65nm a partir da biblioteca de células TSMC e do *software DC-Compiler*, ambos da Synopsys.

As equações geradas pelo *software* de otimização e as arquiteturas foram validados a partir de comparações das amostras de saída extraídas de um processo de codificação utilizando o HM e as amostras extraídas das simulações com as arquiteturas. Para tanto, foram inseridas pequenas modificações no *software* de referência, de forma que as amostras de entrada e saída de cada uma das DCTs pudessem ser analisadas.

3. RESULTADOS E DISCUSSÃO

Foram encontrados alguns trabalhos relacionados na literatura, entretanto, uma comparação direta não é possível de ser realizada devido os trabalhos terem utilizado tecnologias distintas para a implementação. Dentre estes trabalhos relacionados, estão (CHENG, 2011), (AHMED, 2011) e (EDIRYSUIA, 2012). Cheng propõem otimizações a nível de *software* para o cálculo da DCT 8x8. Ahmed propôs uma arquitetura para DCT 1D de 16 amostras sem utilização de multiplicadores e utilizando síntese em ASIC de 90nm. Por fim, Edirysuia apresenta uma arquitetura capaz de processar DCTs e DSTs 2D 16x16 substituindo os multiplicadores por somas e deslocamentos e utilizando síntese em FPGA.

Assim como mencionado anteriormente, neste trabalho são apresentadas arquiteturas para o cálculo de todas as DCT 2D estipuladas pelo HEVC sem o uso de multiplicadores e com compartilhamento de sub-expressões. Na Tabela 1 são apresentados os resultados de síntese das arquiteturas desenvolvidas, onde é possível ver a quantidade de portas lógicas, a potência dinâmica e estática dissipada

por cada arquitetura. Na coluna destacada são mostrados os ganhos relativos à arquitetura otimizada em relação à arquitetura não otimizada, ou seja, a arquitetura descrita exatamente como é descrito no HEVC.

Além das arquiteturas específicas para cada tamanho de DCT presentes no HEVC, foi desenvolvida uma arquitetura capaz de processar todos os tamanhos de blocos, a multi-transformada. O desenvolvimento da multi-transformada ocorreu em decorrência da DCT 32x32 conter implicitamente as DCTs 16x16, 8x8 e 4x4. A partir da DCT 32x32 foram adicionados multiplexadores e registradores de forma que, a partir de um sinal de controle, seja possível desempenhar qualquer tamanho de DCT definido no HEVC.

Os dados de síntese ASIC apresentados na Tabela 1 são respectivos às frequências mínimas para o processamento de um vídeo UHD 4K com sub-amostragem 4:2:0 (RICHARDSON, 2003) e 30 QPS utilizando somente o tamanho de transformada em questão.

DCT 2-D		Freq.	Portas Lógicas		Potência Dinâmica		Potência Estática	
			Total	Ganho	Total (μW)	Ganho	Total (μW)	Ganho
4x4	Não Otimizada	93,02 MHz	5316	0,32%	891,01	-0,11%	61,86	3,99%
	Otimizada		5299		892,00		59,39	
8x8	Não Otimizada	46,62 MHz	21056	12,02%	1873,30	8,05%	280,80	17,4%
	Otimizada		18525		1722,50		231,93	
16x16	Não Otimizada	23,31 MHz	78329	19,49%	4051,50	11,9%	1089,70	26,36%
	Otimizada		63063		3569,20		802,50	
32x32	Não Otimizada	11,66 MHz	287284	22,02%	9737,20	10,77%	4027,00	30,3%
	Otimizada		224031		8688,20		2806,80	
Mult	Não Otimizada	11,66 MHz	316605	19,52%	9141,60	9,63%	4361,80	27,21%
	Otimizada		254810		8261,00		3175,10	

Tabela 1. Resultados de síntese para cada arquitetura.

A partir dos dados fornecidos pela Tabela 1, é possível perceber que as otimizações obtiveram ganhos para a grande maioria dos casos, considerando potências estática e dinâmica. Apesar da DCT 2D 4x4 otimizada dissipar mais $0,99\mu\text{W}$ de potência dinâmica, a potência estática teve um decréscimo de $2,47\mu\text{W}$, com isto, a potência total (dinâmica + estática) teve uma redução de 0,16%. Com o número de portas lógicas, foram obtidas reduções em todas as arquiteturas otimizadas. Atingindo até 22% de redução na DCT 2D 32x32.

4. CONCLUSÕES

Este trabalho apresentou o desenvolvimento de arquiteturas de *hardware* otimizadas para a transformada DCT do padrão HEVC de codificação de vídeo, com foco na redução de complexidade e processamento de vídeo de alta definição em tempo real. Foram desenvolvidas quatro arquiteturas, uma para cada tamanho de bloco previsto no padrão HEVC, além de uma arquitetura multi-tamanho, capaz de realizar a transformada DCT 2D para todos os tamanhos. As arquiteturas foram descritas em VHDL e sintetizadas para tecnologia ASIC, a partir da biblioteca de células TSMC de 65nm da Synopsys.

Os resultados de síntese mostraram que em tecnologia ASIC, todas as arquiteturas obtiveram redução de unidades lógicas, chegando a 22% na DCT 2D 32x32, e reduzindo a dissipação total de potência em todas as arquiteturas.

O *software* de otimização que foi desenvolvido obteve 19,5% de redução da quantidade de unidades lógicas e 15,3% de redução da dissipação de potência total. Desta forma, a multi-transformada demonstrou ser uma boa solução para redução de complexidade do módulo das DCTs em aplicações embarcadas, onde existem maiores restrições para consumo de energia.

5. REFERÊNCIAS BIBLIOGRÁFICAS

CONCEIÇÃO, R. Á; JESKE, R; MATTOS, J; AGOSTINI, L. Software para Otimização do hardware da Transformada Discreta do Cosseno 1-D de tamanho 32 do padrão emergente em codificação de vídeos HEVC. **Congresso de Iniciação Científica (CIC)**, Pelotas, RS, 2012.

EDIRISURIYA, A. A Multiplication-free Digital Architecture for 16x16 2-D DCT/DST Transform for HEVC. **Electrical & Electronics Engineers in Israel (IEEEI)**, Israel, 2012.

CARRO, L. **Projeto e Prototipação de Sistemas Digitais**. Porto Alegre: UFRGS, 2001.

RICHARDSON, I. **H.264 and MPEG-4 Video Compression: Video Coding for Next-Generation Multimedia**. Chichester: John Wiley and Sons, 2003.

CHENG, W. A novel 8x8 transform method applied in videocoding. **IET International Communication Conference on Wireless Mobile and Computing (CCWMC)**, Shanghai, 2011.

AHMED, A. VLSI Implementation of 16-point DCT for H.265/HEVC using Walsh Hadamard Transform and Lifting Scheme. **IEEE 14th International Multitopic Conference (INMIC)**, Karachi, 2011.

International Telecommunication Union (ITU). **ITU-T Recommendation H.265: High Efficiency Video Coding, Audiovisual and Multimedia Systems**, Abril de 2013. Online. Disponível em: <http://www.itu.int/rec/T-REC-H.265-201304-I>.

JOINT COLLABORATIVE TEAM ON VIDEO CODING (JCT-VC) of ITU-T SG16 WP3 and ISO/IEC JTC1/SC29/WG11 – **HM9: High Efficiency Video Coding (HEVC) Test Model 9 Encoder Description**. 11th Meeting: Shanghai, CN, 10–19 Outubro 2012.

JOINT COLLABORATIVE TEAM ON VIDEO CODING (JCT-VC) of ITU-T SG16 WP3 and ISO/IEC JTC1/SC29/WG11 **Proposed editorial improvements for High Efficiency Video Coding (HEVC) text specification draft 9 (SoDIS)**. 12th Meeting: Geneva, CN, Janeiro de 2013.