

# ARQUITETURA VLSI DE BAIXA POTÊNCIA PARA UM COMPRESSOR DE QUADROS DE REFERÊNCIA

DIEISON SILVEIRA; GUILHERME POVALA; LIVIA AMARAL; BRUNO ZATT;  
LUCIANO AGOSTINI; MARCELO PORTO

*Universidade Federal de Pelotas – Grupo de Arquiteturas e Circuitos Integrados  
{dssilveira, gpovala, lsdamaral, zatt, agostini, porto}@inf.ufpel.edu.br*

## 1. INTRODUÇÃO

A codificação de vídeo é de extrema importância nos dias atuais, por conta da grande quantidade de informação presente em vídeos de alta resolução e a quantidade de aparelhos eletrônicos que manipulam este tipo de mídia, como computador pessoal, notebooks, smartphones, televisão digital de alta resolução, câmeras e filmadoras digitais portáteis, entre muitos outros.

Apesar dos vídeos digitais demandarem de uma grande quantidade de dados para serem representados, eles possuem uma importante característica: apresentam elevado grau de redundância de dados. Isto significa que grande parte da enorme quantidade de dados necessários na representação do vídeo é dispensável. O objetivo da compressão de vídeo é a máxima eliminação desses dados desnecessários, para conseguir representar o vídeo digital com um número de bits muito menor do que o original, com perdas desprezíveis de qualidade visual.

O processo da codificação de vídeo compreende uma variedade de técnicas e ferramentas que estão em constante desenvolvimento, por isso há uma intensa atividade de pesquisa nesta área. Ao associar um conjunto especial destas ferramentas os padrões de codificação de vídeo são definidos. O padrão mais atual no mercado é o *High Efficiency Video Coding* (HEVC) (ITU-T, 2013), o HEVC atinge o dobro da taxa de compressão de bits para a mesma qualidade visual, quando comparado ao padrão antecessor, o H.264/AVC. Estes padrões têm vários módulos semelhantes, entre eles a estimação de movimento (ME). O módulo da ME é responsável pelos maiores ganhos em compressão quando comparado aos demais módulos do codificador, porém este módulo apresenta os maiores custos computacionais, tanto em tempo de codificação quanto em consumo de energia. A maior parte do consumo de energia (até 90%) da ME está relacionado à memória, seja em acessos à memória externa ou em memórias internas (caches) que são utilizadas para armazenar informações durante a codificação (ZATT, 2011). Isto ocorre porque os quadros codificados são armazenados na memória externa para serem utilizados como referências durante o processo de codificação dos próximos quadros. Na medida em que a comunicação com a memória impacta significativamente no consumo de energia e velocidade de processamento, o projeto do codificador de vídeo deve considerá-lo como um grande gargalo do sistema.

Uma das principais abordagens que visa reduzir os problemas que existem na comunicação entre memória externa e o núcleo de processamento dos codificadores de vídeo é a compressão dos quadros de referência. Esta técnica reduz a largura de banda de memória através da compressão de quadros de referência antes de serem armazenados na memória externa. A principal vantagem em utilizar esta técnica é a redução no número de acessos de leitura e de escrita na memória. Neste sentido, este trabalho implementa em hardware o algoritmo DRFC (SILVEIRA, 2014), que é uma solução com base na compressão

de quadros de referência que reduz, em média, mais de 53% do volume de dados que é armazenado na memória externa, consequentemente, diminuindo o número de operações de leitura e escrita necessárias para acessar esses dados. O processo de compressão é realizado de forma eficiente sem qualquer perda de informação, evitando assim a degradação da qualidade do vídeo.

## 2. METODOLOGIA

O DRFC (*Differential Reference Frame Coder*) (SILVEIRA, 2014) é uma solução que utiliza duas técnicas em conjunto para comprimir os quadros de referência: (1) uma codificação diferencial baseada no processo de predição intra simplificado, para reduzir a redundância espacial entre as amostras de referência, e (2) um VLC simplificado aplicado aos resíduos resultantes da codificação diferencial. Neste trabalho, realizamos uma pequena modificação no algoritmo para atingirmos uma taxa de compressão maior. Esta modificação foi colocar um código VLC específico para o valor de resíduo "0" com tamanho de 1 bit. Desta forma, a taxa de compressão do DRFC passou de 45% para 53%.

O VLC utilizado neste trabalho é simplificado pois utilizamos apenas três tamanhos diferentes de códigos: 1, 4 e 13 bits. Assim, atingimos uma taxa de processamento alta com baixa dissipação de potência. O DRFC utiliza blocos com 32x32 amostras para realizar a compressão e uma pequena memória ROM de 9 posições, que armazenam os códigos VLC

A Figura 1 apresenta a arquitetura do codificador do DRFC. O primeiro módulo utilizado são os registradores de amostras. São utilizados dois registradores de 8 bits, um registrador para armazenar a primeira amostra de cada linha do bloco e outro registrador para armazenar a amostra da coluna vizinha. Após isso, a codificação diferencial é realizada entre a amostra atual e uma das amostras que estão nos registradores. Os valores de entrada para este módulo são sempre valores positivos que variam de 0-255 e utilizam 8 bits por amostra. O multiplexador seleciona entre a amostra da mesma coluna (registrador 1) e a amostra da coluna vizinha (registrador 2) e envia a amostra selecionada para o módulo da codificação diferencial (CD).

O módulo da codificação diferencial é composto por um subtrator de 8 bits, e a codificação diferencial ocorre entre a amostra atual e a amostra selecionada pelo multiplexador. Após esta etapa, o resíduo gerado é enviado ao módulo Tabela. No módulo Tabela o resíduo é trocado por um código VLC que pode ter 1, 4 ou 13 bits de tamanho. A tabela de códigos é composta por uma pequena memória ROM com 9 posições, um código para cada valor entre -4 a 3 e um código de exceção para outros valores de resíduos. Se um código de exceção for utilizado, o valor do resíduo é anexado a este código. Este módulo também

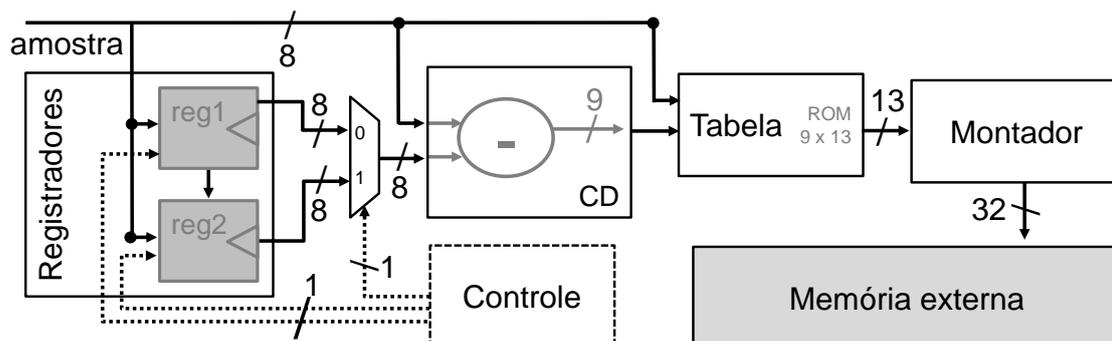


Figura 1. Arquitetura do codificador DRFC

contém o tamanho de cada código VLC utilizado, esta informação é enviada ao módulo Montador.

O módulo Montador é utilizado para normalizar a saída do codificador, uma vez que os códigos possuem tamanhos variáveis e memórias comerciais possuem palavras de tamanhos fixos. O módulo Montador é composto por um buffer circular com 45 bits de tamanho, desta forma é possível armazenar a saída, 32 bits, e o maior código, 13 bits. Quando tem 32 bits válidos no buffer estas informações são enviadas à memória externa.

A Figura 2 apresenta a arquitetura do decodificador DRFC. Inicialmente os blocos codificados estão armazenados na memória externa. O módulo Parser recebe sempre 32 bits da memória externa e trabalha como uma fila de 64 bits para armazenar as entradas. Este módulo é responsável por separar as amostras codificadas e enviá-las para o módulo Tradutor. A decodificação da amostra em um valor de resíduo válido ocorre no módulo Tradutor. Após a decodificação, o valor do resíduo é enviado ao módulo Codificação Diferencial Inversa (CDI), onde o resíduo atual é somado ao valor selecionado pelo multiplexador.

A saída do módulo CDI é o valor da amostra original, que está pronta para ser utilizada pela estimação de movimento. Esta amostra fica armazenada nos registradores para ser utilizada no processo de decodificação das próximas amostras. A unidade de Controle controla os deslocamentos realizados pelo módulo Parser, as escritas nos registradores e o controle do multiplexador.

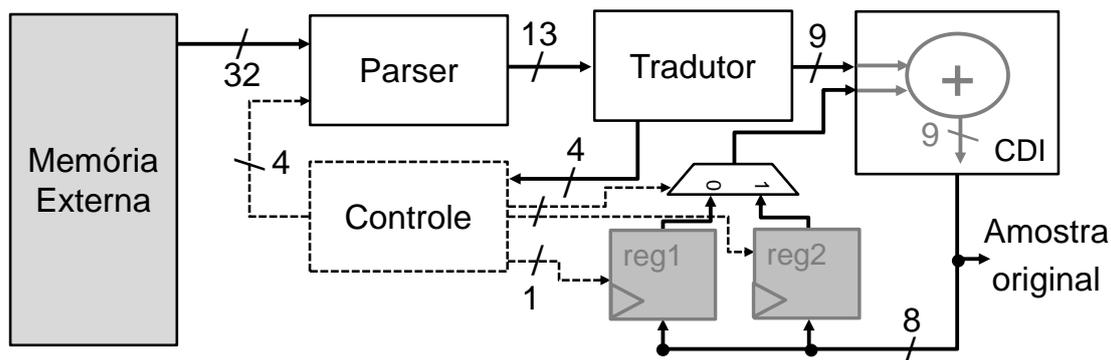


Figura 2. Arquitetura do decodificador DRFC

### 3. RESULTADOS E DISCUSSÃO

As arquiteturas do DRFC foram descritas em VHDL, validadas e sintetizadas para duas tecnologias: FPGA e ASIC. Para a síntese FPGA foi utilizado o dispositivo Stratix III EP3SE50F484C2 utilizando a ferramenta de síntese Quartus II da Altera. A síntese para ASIC utiliza tecnologia de 180nm TSMC com tensão de alimentação de 1.8V utilizando a ferramenta de síntese RTL Compiler da Cadence.

A Tabela 1 apresenta os resultados de síntese do codec DRFC e um comparativo com dois trabalhos estado da arte em compressão de quadros de referência. Os resultados de síntese ASIC foram obtidos a fim de processar vídeos HD1080 a uma taxa de 30 quadros por segundo. Observando os resultados da síntese ASIC se percebe que a arquitetura do DRFC utiliza uma pequena área no chip, 5,2K gates, e apresenta baixa dissipação de potência, 3,24mW. Estes resultados indicam que esta solução pode ser utilizada em dispositivos móveis, uma vez que apresenta baixo consumo de energia.

Tabela 1. Resultados de síntese e comparativo com trabalhos relacionados

		(LEE, 2013)	(KIM, 2010)	Proposto
ASIC	Taxa de compressão	51%	53,3%	53%
	Gates	28K	36K	5,2K
	Potência	9,35mW	17,5mW	3,24mW
	Frequência	62,5MHz	180MHz	62,5MHz
	Taxa de processamento	30qpsHD1080	30qpsHD1080	30qpsHD1080
	Tecnologia	180nm	180nm	180nm
FPGA	ALUTS	-	-	634
	Registradores	-	-	286
	Frequência	-	-	276MHz
	Taxa de processamento	-	-	30qps4K

O resultado de síntese para FPGA mostra que a solução atinge alta taxa de processamento, nesta tecnologia a arquitetura do DRFC atinge processamento para resoluções 4K a 30 quadros por segundo.

No comparativo com os trabalhos relacionados nossa solução atinge uma taxa de compressão semelhante para a mesma taxa de processamento. Entretanto, o DRFC apresenta uma área 5,3 vezes menor que Lee (2013) e 6,9 vezes menor que Kim (2010). Em dissipação de potência o DRFC também apresenta resultados melhores, sendo 2,8 vezes menor que Lee (2013) e 5,4 vezes menor que Kim (2010). Desta forma, o DRFC apresenta o melhor custo benefício entre taxa de compressão e custo computacional entre as soluções apresentadas.

#### 4. CONCLUSÕES

Este trabalho apresentou uma solução arquitetural para a redução da largura de banda de memória e redução do consumo de energia em codificadores de vídeos digitais, através da compressão de quadros de referência. O método apresentado realiza a compressão sem degradação do vídeo, utilizando, para isto, codificação diferencial e códigos de tamanho variáveis. A solução atinge uma redução de largura de banda de memória média de mais de 53%. Essa largura de banda é reduzida para operações de leitura e escrita. O DRFC apresenta baixo custo computacional sendo necessário somente 5,2K gates de área e uma dissipação de potência de 3,24mW, esta solução apresenta resultados melhores que os trabalhos estado da arte em compressão de quadros de referência. Este método é totalmente compatível com o padrão de codificação de vídeo HEVC.

#### 5. REFERÊNCIAS BIBLIOGRÁFICAS

- ISO/IEC 23008-2: High efficiency coding and media delivery in heterogeneous environments - Part 2: High efficiency video coding. Relatório Técnico, 2013.
- ZATT, B.; et al. Run-time adaptive energy-aware motion and disparity estimation in multiview video coding. **ACM/IEEE DAC**, p. 1026-1031. 2011.
- SILVEIRA, D.; et al. A low-complexity and lossless reference frame encoder algorithm for video coding. **IEEE ICASSP**, p.7408-7412, 2014.
- LEE, I-H.; et al. Design of VLSI architecture of autocorrelation-based lossless recompression engine for memory-efficient video coding systems. **CSSP**, v.33, p.459-482, 2013.
- KIM, J.; et al. A lossless embedded compression using significant bit truncation for HD video coding. **IEEE TCSVT**, v.20, no. 6 p.848-860, 2010.